

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年5月13日 (13.05.2004)

PCT

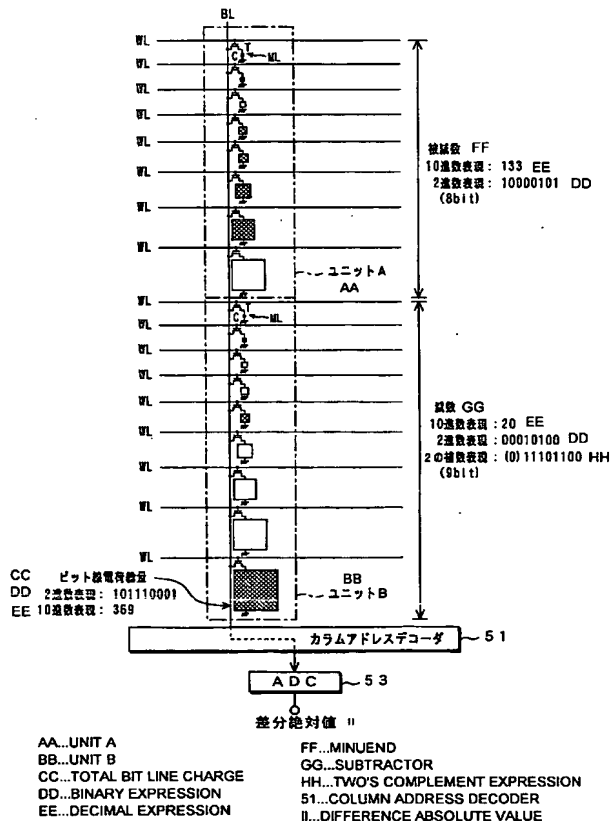
(10) 国際公開番号
WO 2004/040581 A1

- (51) 国際特許分類: G11C 11/56, H04N 7/32, G06T 7/20
- (21) 国際出願番号: PCT/JP2003/013204
- (22) 国際出願日: 2003年10月15日 (15.10.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2002-300902
2002年10月15日 (15.10.2002) JP
特願 2002-300903
2002年10月15日 (15.10.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 近藤 哲二郎 (KONDO, Tetsujiro) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 新妻 渉 (NIITSUMA, Wataru) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 小林 直樹 (KOBAYASHI, Naoki) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 山口 邦夫, 外 (YAMAGUCHI, Kunio et al.); 〒101-0047 東京都千代田区内神田1丁目15番2号 平山ビル5階 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

[続葉有]

(54) Title: MEMORY DEVICE, MOTION VECTOR DETECTION DEVICE, AND DETECTION METHOD

(54) 発明の名称: メモリ装置、動きベクトルの検出装置および検出方法



(57) Abstract: A memory device preferably applied to motion vector detection by the block matching method. Pixel data in a first frame (reference frame) is stored in a straight binary format in a unit A of a memory cell array section 20a. Pixel data in a second frame (search frame) is stored in a two's complement format in a unit B of a memory cell array section 20b. Each of the units A and B consists of a plurality of memory cells. Word lines WL associated with pixel data of the first and the second frame are simultaneously activated and accumulated charge of a capacitor of each memory cell is connected on a single bit line BL. An A/D converter (53) outputs a digital signal (difference absolute value) of a value corresponding to the total charge. When pixel data is read out, subtraction and absolute value conversion are performed simultaneously.

(57) 要約: この発明は、ブロックマッチング法で動きベクトルを検出する際に適用して好適なメモリ装置等に関する。第1のフレーム（参照フレーム）の画素データを、メモリセルアレイ部20aのユニットAに、ストレートバイナリの形式で記憶する。第2のフレーム（探索フレーム）の画素データを、メモリセルアレイ部20bのユニットBに2の補数の形式で記憶する。ユニットA、Bは、夫々複数のメモリセルからなる。第1、第2のフレームの画素データに係るワードWL線を同時に活性化し、各メモリセルのキャパシタの蓄積電荷を1つのビット線BL上で結合する。A/Dコンバータ53は、その電荷総量に対応した値のデジタル信号（差分絶対値）を出力する。画素データの読み出し時に、減算、絶対値変換が同時に行われる。



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

メモリ装置、動きベクトルの検出装置および検出方法

5 技術分野

この発明は、メモリ装置、動きベクトルの検出装置および検出方法に関する。

詳しくは、この発明は、複数のワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とすることによって、データの読み出しと演算の同時処理を可能にし、演算速度の向上、演算器の削減によるコスト低減を図るようにしたメモリ装置に係るものである。

またこの発明は、第1のフレームの画素データをビット線が延びる方向に並ぶ複数のメモリセルからなるユニットにストレートバイナリの形式で記憶し、第2のフレームの画素データをビット線が延びる方向に並ぶ複数のメモリセルからなるユニットに2の補数の形式で記憶しておき、この第1、第2のフレームの画素データに係るワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とすることによって、第1、第2のフレームの画素データの差分データを高速に、かつ安価に得ることができるようにしたメモリ装置に係るものである。

またこの発明は、ビット線が延びる方向に並ぶ複数のメモリセルからなるユニットのそれぞれにデータを記憶しておき、複数のデータに係るワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とすることによって、複数のデータの加算データを高速に、かつ安価に得ることができるようにしたメモリ装置に係るものである。

またこの発明は、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成し、この生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックおよびこ

の参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックの間の差分絶対値和を生成し、参照フレームの各参照ブロック毎に、生成された複数の差分絶対値和に基づいて、この参照ブロックに対応した動きベクトルを検出する構成とすることによって、動きベクトルの検出を高速に、かつ安価に行い得るようにした動きベクトルの検出装置および検出方法に係るものである。

背景技術

図1は、従来のメモリブロック300の構成例を示している。このメモリブロック300は、メモリセルアレイ310と、記憶データ入出力用ポート320と、
10 ロウアドレスデコーダ330と、制御回路340とを有している。

メモリセルアレイ310は、図2に示すように、ロウ方向（行方向）に延びるデータを転送するための複数のビット線BLと、カラム方向（列方向）に延びる、複数のビット線BLに直交するワード線WLと、これらビット線BLおよびワード線WLに接続され、マトリックス状に配されたメモリセルMLとからなっている。
15 る。

メモリセルMLは、DRAM構造のものであって、アクセストランジスタTとキャパシタCとで構成されている。キャパシタCの一端は接地され、その他端はアクセストランジスタTを介してビット線BLに接続されている。また、アクセストランジスタTのゲートはワード線WLに接続されている。このメモリセルML
20 Lに対する読み出しおよび書き込みは、従来周知のように、ワード線WLを活性化してアクセストランジスタTをオン状態とすることで行われる。

記憶データ入出力用ポート320は、カラムアドレスデコーダ321、アドレスバッファ322およびI/Oバッファ323で構成されている。カラムアドレスデコーダ321には、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラムアドレスデコーダ321には、アドレスバッファ322を
25 介してカラムアドレスが入力される。

カラムアドレスデコーダ321は、アドレスバッファ322を介して供給されるカラムアドレスに対応して、メモリセルアレイ310のカラム方向の所定の複数のメモリセルMLに接続される複数のビット線BLとの接続を確保し、I/O

バッファ 2 2 3 およびカラムアドレスデコーダ 3 2 1 を通じて、当該カラム方向の所定のメモリセル ML に対する、記憶データの書き込み、読み出しが可能となるようにする。

また、ロウアドレスデコーダ 3 3 0 には、アドレスバッファ 3 3 1 を介してロウアドレスが入力される。ロウアドレスデコーダ 3 3 0 は、アドレスバッファ 3 3 1 を介して供給されるロウアドレスに対応して、メモリセルアレイ 3 1 0 のロウ方向の所定のメモリセル ML に接続されるワード線 WL を活性化し、I/O バッファ 3 2 3 およびカラムアドレスデコーダ 3 2 1 を通じて、当該ロウ方向の所定のメモリセル ML に対する、記憶データの書き込み、読み出しが可能となるようにする。

また、制御回路 3 4 0 は、メモリブロック 3 0 0 の上述した各回路の動作を、制御入力に基づいて制御する。

上述のメモリブロック 3 0 0 に記憶されたデータを用いた演算、例えば加算を行う場合には、メモリブロック 3 0 0 から被加算データおよび加算データを順に読み出し、このメモリブロック 3 0 0 とは別個に設けられた加算器でそれらを加算する。したがって、データの読み出しと演算とを順次に行うものであることから、演算速度を上げることができないという不都合があった。また、メモリブロック 3 0 0 とは別個の演算器が必要であることから、その分高価になるという不都合があった。また、減算などのその他の演算を行う場合も同様である。

また、画像処理においては、動きベクトル検出は重要な要素の一つであり、その代表的な方法としてブロックマッチング法がある。これは、あるフレーム（参照フレーム）の一部を構成するある画素ブロック（参照ブロック）について、時間の異なるフレーム（探索フレーム）における様々な位置での同一形状画素ブロック（候補ブロック）との相関を評価し、その中で相関が最も高い候補ブロックとの間の相対的な位置ずれを、その参照ブロックにおける動きベクトルとみなすものである。

ここで、候補ブロックを想定する領域が探索範囲である。相関の評価には、参照ブロックと候補ブロックとの対応する各画素間の画素データの差分絶対値のブロック内各画素についての総和、すなわち差分絶対値和が用いられることが多い。

1 個の参照ブロックにつき探索範囲内の候補ブロック分の差分絶対値和が得られるが、その中で最も差分絶対値和の小さいところが、画素を単位とした動きベクトルと見なされる。

図 3 は、従来の動きベクトル検出回路 200 の構成例を示している。

- 5 この動きベクトル検出回路 200 は、参照フレームの画像信号 D_i が入力される入力端子 201 と、この参照フレームの画像信号 D_i を蓄積する参照フレームメモリ 202 と、探索フレームの画像信号を蓄積する探索フレームメモリ 203 とを有している。入力端子 201 からあるフレームの画像信号 D_i がフレームメモリ 202 に供給されて書き込まれる際に、このフレームメモリ 202 に記憶されて
10 いた 1 フレーム前の画像信号が読み出されてフレームメモリ 203 に供給されて書き込まれる。

- また、動きベクトル検出回路 200 は、フレームメモリ 202 からの参照ブロックの画素データと、フレームメモリ 203 からの当該参照ブロックに対応した探索範囲の複数の候補ブロックの画素データとを入力し、複数の候補ブロックの
15 それぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値を、対応する画素データ毎に演算して出力する演算回路 204 を有している。

- この演算回路 204 は、参照ブロックの画素データと、2 の補数変換部 204 a でストレートバイナリ形式のデータから 2 の補数形式のデータに変換された候補
20 ブロックの画素データを、加算部 204 b で加算することで差分データを得ると共に、この差分データの絶対値を絶対値変換部 204 c でとることによって、差分絶対値を得るようになっている。

- また、動きベクトル検出回路 200 は、演算回路 204 より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値を累積して差分
25 絶対値和を得る総和演算部 205 と、この総和演算部 205 で得られる複数の候補ブロックのそれぞれに対する差分絶対値和を保持する差分絶対値和保持部 206 とを有している。

また、動きベクトル検出回路 200 は、差分絶対値和保持部 206 に保持された複数の候補ブロックのそれぞれに対する差分絶対値和に基づいて動きベクトル

を検出する最小値判定部 207 と、この最小値判定部 207 で検出された動きベクトルを保持する動きベクトル保持部 208 と、この動きベクトル保持部 208 に保持された各参照ブロックの動きベクトル MV を順次出力する出力端子 209 とを有している。最小値判定部 207 では、最小の差分絶対値和を発生する候補
5 ブロックの位置を、動きベクトルとして検出する。

図 3 に示す動きベクトル検出回路 200 の動作を説明する。

入力端子 201 に入力される画像信号 D_i は参照フレームメモリ 202 に供給され、参照フレームの画像信号として蓄積される。またこの際、フレームメモリ 202 に記憶されていた 1 フレーム前の画像信号は、読み出されてフレームメモリ 203 に供給され、探索フレームの画像信号として蓄積される。
10

演算回路 204 には、フレームメモリ 202 から参照ブロックの画像データが読み出されて供給される。また、この演算回路 204 には、当該参照ブロックに対応した探索範囲の複数の候補ブロックの画素データが読み出されて供給される。そして、この演算回路 204 では、複数の候補ブロックのそれぞれに対し、この
15 候補ブロックの画素データと参照ブロックの画素データとの差分絶対値が、対応する画素データ毎に演算されて出力される。

このように、演算回路 204 より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値は総和演算部 205 に順次供給されて差分絶対値和が得られる。この総和演算部 205 からの複数の候補ブロックのそれぞれに対する差分絶対値和は、差分絶対値和保持部 206 に供給されて保持される。
20 そして、最小値判定部 207 では、このように差分絶対値和保持部 206 に保持された複数の候補ブロックのそれぞれに対する差分絶対値和に基づき、最小の差分絶対値和を発生する候補ブロックの位置が動きベクトルとして検出され、この動きベクトルが動きベクトル保持部 208 に保持される。

25 フレームメモリ 202 から演算回路 204 には参照フレーム内の複数の参照ブロックの画素データが順次供給される。そして、各参照ブロックの画素データに対応して、フレームメモリ 203 から演算回路 204 には複数の候補ブロックの画素データが供給される。したがって、各参照ブロックに対応して、演算回路 204、総和演算部 205、差分絶対値和保持部 206、最小値判定部 207 およ

び動きベクトル保持部 208 では上述した動作が繰り返され、従って最小値判定部 207 では各参照ブロックに対応した動きベクトルが順次検出され、この動きベクトルが動きベクトル保持部 208 に順次保持される。

そして、動きベクトル保持部 208 に保持された各参照ブロックに対応した動きベクトルは順次読み出される。そして、読み出された動きベクトル MV が出力端子 209 に出力される。このように出力される動きベクトル MV は、例えば動き補償予測符号化を行う際の動き補償処理に用いられる。

図 4 のフローチャートは、上述した動きベクトル検出回路 200 における動きベクトル MV の検出処理の手順を示している。

10 まず、ステップ ST 21 で、処理を開始し、ステップ ST 22 で、参照フレームメモリ 202 に記憶されている画像信号を読み出し、この画像信号を探索フレームの画像信号として探索フレームメモリ 203 に書き込む。また、ステップ ST 23 で、入力端子 201 から参照フレームの画像信号 Di を入力し、この画像信号を参照フレームメモリ 202 に書き込む。

15 次に、ステップ ST 24 で、参照フレームメモリ 202 から参照ブロックの画素データを読み出し、またステップ ST 25 で、探索フレームメモリ 203 からその参照ブロックに対応した探索範囲内にある候補ブロックの画素データを読み出し、2 の補数変換部 204 a で、ストレートバイナリ形式のデータから 2 の補数形式のデータに変換する。

20 そして、ステップ ST 27 で、参照ブロックのストレートバイナリ形式の画素データと 2 の補数形式のデータに変換された候補ブロックの画素データの加算を行って、差分データを求める。そして、ステップ ST 28 で、その差分データの絶対値を取り、参照ブロックおよび候補ブロックの画素データの間の差分絶対値を生成する。

25 次に、ステップ ST 29 で、ある参照ブロックと所定の候補ブロックとの間の差分絶対値和を総和演算部 205 で演算し、保持部 206 に保存する。そして、ステップ ST 31 で、ある参照ブロックと全ての候補ブロックとの間の差分絶対値和の生成が終了したか否かを判定する。終了していないときは、ステップ ST 25 に戻って、ある参照ブロックと次の候補ブロックとの間の差分絶対値和を生

成する処理に移る。一方、終了したときは、ステップST32に進む。

ステップST32では、ある参照ブロックに対応して保持部206に保持された差分絶対値和に基づき、最小の差分絶対値和を発生する候補ブロックの位置を動きベクトルとして検出する。そして、ステップST33で、この検出された動きベクトルを動きベクトル保持部208に保存する。

次に、ステップST34で、参照フレームの全参照ブロックでの上述した動きベクトルの検出処理が終了したか否かを判定する。終了していないときは、ステップST24に戻って、次の参照ブロックに対応した動きベクトルを検出する処理に移る。一方、終了したときは、ステップST35で、動きベクトル保持部208に保持された各参照ブロックに対応した動きベクトルMVを順次出力し、ステップST36で処理を終了する。

上述した動きベクトル検出回路200においては、演算回路として、差分データ演算用、絶対値演算用、総和演算用等の回路が必要であることから、その分高価になるという不都合があった。

発明の開示

この発明の目的は、データの読み出しと演算の同時処理を可能にし、演算速度の向上、および演算器の削減によるコスト低減を図るようにしたメモリ装置を提供することにある。

またこの発明の他の目的は、第1、第2のフレームの画素データの差分データを高速に、かつ安価に得ることができるメモリ装置を提供することにある。

また、この発明のさらに他の目的は、複数のデータの加算データを高速に、かつ安価に得ることができるようにしたメモリ装置を提供することにある。

また、この発明の別の目的は、動きベクトルの検出を高速に、かつ安価に行い得るようにした動きベクトルの検出装置および検出方法を提供することにある。

この発明に係るメモリ装置は、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を結合し得るメモリ装置であって、複数のワード線を同時に活性化する活性化手段と、この活性化手段で活性化された複数のワード線に接続された複数のメモリセルのキャパシタの

蓄積電荷が結合されて1つのビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とを備えるものである。

この発明においては、複数のワード線が同時に活性化される。これにより、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷が結合される。そして、その電荷総量に対応した値のデジタル信号が出力される。

例えば、電荷総量に対応した値のデジタル信号は、電荷総量を、この電荷総量に対応した値の電圧信号に変換し、その後その電圧信号をアナログ信号からデジタル信号に変換することで得られる。この場合、電圧信号をデジタル信号に変換する際に、A/Dコンバータの機能によっては、任意の階調のデジタル信号を得ることが可能となる。

ここで、2つ以上のデータに係る複数のワード線が同時に活性化されることで、デジタル信号として当該2つ以上のデータの演算結果が得られる。例えば、各データに係る複数のワード線に接続される複数のメモリセルからなるユニットにそれぞれ加算すべきデータが記憶されることで、デジタル信号としてそれらのデータの加算結果が得られる。また例えば、各データに係る複数のワード線に接続される複数のメモリセルからなるユニットには、それぞれ被減数データまたは減数データが記憶されることで、デジタル信号としてそれらのデータの減算結果が得られる。この場合、例えば被減数データはストレートバイナリ形式のデータとされ、減数データは2の補数形式のデータとされる。

このように、複数のワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とするものであり、データの読み出しと演算の同時処理を可能にし、演算速度の向上、演算器の削減によるコスト低減を図ることができる。

なお、1つのビット線に接続される複数のメモリセルとしてキャパシタの容量が異なるものを含む構成とすることで、1つのデータを記憶するためのメモリセルの個数を減少できる。例えば、1つのデータがNビット（Nは制御の整数）のデータであるとき、この1つのデータに係るワード線はN本とされ、このN本の

ワード線に接続されたN個のメモリセルのキャパシタは、Nビットのデータの各ビットの重みに対応した容量を持つようにされる。これにより、Nビットのデータを記憶するためのメモリセルの個数はN個で済む。これに対して、各メモリセルのキャパシタの容量が同じものとする、Nビットのデータを記憶するためのメモリセルは $2^N - 1$ 個必要となる。

この発明に係るメモリ装置は、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、第1のフレームの画像信号を記憶する第1のフレームメモリ部と、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、第2のフレームの画像信号を記憶する第2のフレームメモリ部とを備え、第1のフレームメモリ部および上記第2のフレームメモリ部はビット線が延びる方向である行方向に連続して形成され、第1のフレームメモリ部および第2のフレームメモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、第1のフレームメモリ部および第2のフレームメモリ部は、それぞれのビット線に接続される複数のメモリセルが所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、この分割された各ユニットにそれぞれ1個の画素データが記憶され、第1のフレームメモリ部の各ユニットには、それぞれ第1のフレームの画像信号を構成する画素データがストレートバイナリの形式で記憶され、第2のフレームメモリ部の各ユニットには、それぞれ第2のフレームの画像信号を構成する画素データが2の補数の形式で記憶され、第1のフレームメモリ部の所定データに係る複数のワード線および第2のフレームメモリ部の所定データに係る複数のワード線を同時に活性化する活性化手段と、複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、このビット線選択手段で選択されたビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とをさらに備えるものである。

この発明においては、第1および第2のフレームメモリ部を備えている。これらのフレームメモリ部は、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなっている。これらのフレームメモリ部

では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能となっている。これらのフレームメモリ部は、ビット線が延びる方向であるロウ方向に連続して形成されている。

また、これらのフレームメモリ部は、それぞれのビット線に接続される複数のメモリセルが所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、この分割された各ユニットにそれぞれ1個の画素データが記憶される。第1のフレームメモリ部の各ユニットには、それぞれ第1のフレームの画像信号を構成する画素データがストレートバイナリの形式で記憶され、第2のフレームメモリ部の各ユニットには、それぞれ第2のフレームの画像信号を構成する画素データが2の補数の形式で記憶される。

ここで、第1のフレームメモリ部の所定データに係る複数のワード線および第2のフレームメモリ部の所定データに係る複数のワード線を同時に活性化することで、各ビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷が結合される。そして、選択された1つのビット線上に得られた電荷総量に対応した値のデジタル信号が出力される。

上述したように、第1のフレームメモリ部の各ユニットには、それぞれ第1のフレームの画像信号を構成する画素データがストレートバイナリの形式で記憶され、第2のフレームメモリ部の各ユニットには、それぞれ第2のフレームの画像信号を構成する画素データが2の補数の形式で記憶されているため、各ビット線上に得られる電荷総量は、第1、第2のフレームの画素データの差分値に対応したものとなる。これにより、上述したデジタル信号として、第1、第2のフレームの画素データの減算結果が得られる。

このように、第1のフレームの画素データをビット線が延びる方向に並ぶ複数のメモリセルからなるユニットにストレートバイナリの形式で記憶し、第2のフレームの画素データをビット線が延びる方向に並ぶ複数のメモリセルからなるユニットに2の補数データの形式で記憶しておき、この第1、第2のフレームの画素データに係るワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とすることで、第1、第2のフ

フレームの画素データの差分データを高速に、かつ安価に得ることができる。

ここで、第1のフレームメモリ部で活性化されるラインに対して、第2のフレームメモリ部で活性化されるラインの位置を変更することで、第1のフレームの所定ラインと、これと垂直方向（行方向）に所定ライン数だけずれた位置の第2のフレームのラインとの間における画素データの減算結果を得ることが可能となる。

また、第1のフレームメモリ部または第2のフレームメモリ部に記憶されている画素データの記憶位置を水平方向（列方向）に移動することで、第1のフレームの所定画素と、これと水平方向に所定画素数だけずれた位置の第2のフレームの画素との間における画素データの減算結果を得ることが可能となる。

なお、第1のフレームメモリ部の所定データに係る複数のワード線および第2のフレームメモリ部の所定データに係る複数のワード線が同時に活性化された場合には、上述したようにビット線上でこれらのワード線に接続された複数のメモリスセルのキャパシタにおける蓄積電荷が結合さ、出力される。そのため、蓄積電荷の結合後、これら複数のメモリスセルの記憶データは意味のない値（破壊された状態）となる。そのため、第1および第2のフレームメモリ部にそれぞれ記憶されている各1ライン分の画素データをワード線を活性化する前にキャッシュメモリ等に待避しておくことで、複数のメモリスセルの意味のない記憶データを元に戻すことができる。

例えば、1つの画素データがNビット（Nは正の整数）のデータであるとき、この1つのデータに係るワード線はN本であり、このN本のワード線に接続されたN個のメモリスセルのキャパシタは、Nビットのデータの各ビットの重みに対応した容量を持つようにされる。これにより、Nビットのデータを記憶するためのメモリスセルの個数はN個で済む。これに対して、各メモリスセルのキャパシタの容量が同じものであるとすると、Nビットのデータを記憶するためのメモリスセルは $2^N - 1$ 個必要となる。

また、この発明に係るメモリ装置は、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリスセルからなるメモリ部を備え、メモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数

のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、メモリ部は、それぞれのビット線に接続される複数のメモリセルが、所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、この分割された各ユニットにそれぞれ1個のデータが記憶され、複数のデータに係るワード線を同時に活性化する
5 活性化手段と、複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、このビット線選択手段で選択されたビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とをさらに備えるものである。

この発明においては、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなっているメモリ部を備えている。このメモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能となっている。このメモリ部は、それぞれのビット線に接続される複数のメモリセルが、所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、この分割された各ユニットにそれぞれ1個のデータが記憶される。
10
15

ここで、複数のデータに係るワード線を同時に活性化することで、各ビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷が結合される。そして、選択された1つのビット線上に得られた電荷総量に対応した値のデジタル信号が出力される。このデジタル信号は、複数のデータの加算結果に対応したものとなる。
20

このように、ビット線が延びる方向に並ぶ複数のメモリセルからなるユニットのそれぞれにデータを記憶しておき、複数のデータに係るワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とすることで、複数のデータの加算データを高速に、かつ安価に得ることができる。
25

例えば、メモリ部は、ビット線が延びる方向である行方向には1フレームの複数の画素位置に対応した個数のユニットを有し、ワード線が延びる方向である列方向には探索位置に対応した個数のユニットを有する。このメモリ部の各行の複

数のユニットには、それぞれ対応する参照フレームの画素位置の画素データと探索フレームの複数の探索位置の画素データとの差分絶対値のデータが記憶される。ここで、参照フレームの参照ブロックを構成する各画素の画素位置に対応するユニットに係るワード線が同時に活性化されることで、デジタル信号として、参照
5 フレームの参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対和が得られる。

また、この発明に係る動きベクトル検出装置は、参照フレームの画像信号および探索フレームの画像信号を用い、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成する差分絶対値生成手段と、この差分絶対値生成手段で生成された差分絶対値を用いて、参
10 照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成する差分絶対値和生成手段と、参照フレームの各参照ブロック毎に、差分絶対値和生成手段で生成された複数の差分絶対値和に基づいて、参照ブロッ
15 クに対応した動きベクトルを検出する動きベクトル検出手段とを備えるものである。

また、この発明に係る動きベクトル検出方法は、参照フレームの画像信号および探索フレームの画像信号を用い、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成する工程と、
20 この生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成する工程と、参照フレームの各参照ブロック毎に、生成された複数の差分絶対値和に基づいて、参照ブロックに対応した動きベクトルを検出する工程とを備えるものである。

この発明においては、参照フレームの画像信号および探索フレームの画像信号を用い、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値が生成される。この場合、参照フレームの全参照ブロックの動きベクトルをブロックマッチング法で求めるために必要となる全ての差分絶対値が生成される。

この生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和が生成される。この場合、例えば、参照ブロックと所定の候補ブロックとの間の差分絶対値を一度に加算して差分絶対値和を得ることが可能となる。

この生成された複数の差分絶対値和に基づいて、参照ブロックに対応した動きベクトルが検出される。この場合、ある参照ブロックに関しては、最小値の差分絶対値和に対応した候補ブロックの位置が動きベクトルとして検出される。

このように、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成し、この生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成し、参照フレームの各参照ブロック毎に、生成された複数の差分絶対値和に基づいて、この参照ブロックに対応した動きベクトルを検出する構成とすることで、動きベクトルの検出を高速に、かつ安価に行い得る。

図面の簡単な説明

図 1 は、従来のメモリブロックの構成例を示すブロック図である。

図 2 は、従来のメモリブロックにおけるメモリセルアレイの一部を示す図である。

図 3 は、従来の動きベクトル検出回路の構成を示すブロック図である。

図 4 は、従来の動きベクトル検出の処理手順を示すフローチャートである。

図 5 は、実施の形態としての動き補償予測符号化装置の構成を示すブロック図である。

図 6 は、ブロックマッチング法を説明するための図である。

図 7 A および図 7 B は、ブロックマッチング法を説明するための図である。

図 8 A、図 8 B および図 8 C は、ブロックマッチング法を説明するための図である。

図 9 は、ブロックマッチング法を説明するための図である。

図 1 0 は、動きベクトル検出回路の構成を示すブロック図である。

図 1 1 は、メモリブロックの構成例を示すブロック図である。

図 1 2 は、メモリセルアレイの構成を説明するための図である。

図 1 3 A および図 1 3 B は、それぞれメモリセルアレイを構成するユニット A

5 およびユニット B の構成を示す図である。

図 1 4 は、減算演算の具体例を説明するための図である。

図 1 5 は、ビット線電荷総量と出力値との関係（減算の場合、絶対値変換あり）を示す図である。

図 1 6 は、ビット線電荷総量と出力値との関係（減算の場合、絶対値変換なし）を示す図である。

図 1 7 は、生成される差分絶対値を説明するための図である。

図 1 8 は、差分計算処理を説明するための図である。

図 1 9 は、差分計算処理を説明するための図である。

図 2 0 は、メモリブロックの構成例を示すブロック図である。

15 図 2 1 は、メモリセルアレイの構成を説明するための図である。

図 2 2 は、メモリセルアレイの構成を説明するための図である。

図 2 3 は、加算演算の具体例を説明するための図である。

図 2 4 は、ビット線電荷総量と出力値との関係（加算の場合）を示す図である。

図 2 5 は、動きベクトル検出の処理手順を示すフローチャートである。

20

発明を実施するための最良の形態

以下、図面を参照しながら、この発明の実施の形態について説明する。

図 5 は、実施の形態としての動き補償予測符号化装置 1 0 0 の構成を示している。

25 この符号化装置 1 0 0 は、画像信号 D_i を入力する入力端子 1 0 1 と、この入力端子 1 0 1 に供給される画像信号 D_i と後述する動き補償回路 1 1 0 から供給される予測画像信号との差分を演算する減算器 1 0 2 と、この減算器 1 0 2 で得られる差分信号に対して D C T（離散コサイン変換）を行う D C T 回路 1 0 3 と、この D C T 回路 1 0 3 で得られる D C T 係数に対して量子化を行う量子化回路 1

04と、この量子化回路104で得られた符号化信号D_oを出力する出力端子105とを有している。

また、符号化装置100は、量子化回路104で得られた符号化信号D_oに対して逆量子化を行う逆量子化回路106と、この逆量子化回路106の出力信号に対して逆DCTを行って差分信号を得る逆DCT回路107と、この逆DCT回路107で得られる差分信号と動き補償回路110で得られる予測画像信号とを加算して元の画像信号を復元する加算器108と、この加算器108で復元された画像信号を記憶するフレームメモリ109とを有している。

また、符号化装置100は、フレームメモリ109に記憶された画像信号を読み込み、この画像信号を、後述する動きベクトル検出回路111からの動きベクトルMVに基づいて動き補償をした後、上述したように減算器102および加算器108に予測画像信号として供給する動き補償回路110と、入力端子101に入力される画像信号D_iの動きベクトルMVを検出して動き補償回路110に供給する動きベクトル検出回路111とを有している。

図5に示す動き補償予測符号化装置100の動作を説明する。

入力端子101に入力される画像信号D_iは、減算器102および動きベクトル検出回路111に供給される。減算器102では、この画像信号D_iと動き補償回路110から供給される予測画像信号との差分が演算される。

減算器102で得られる差分信号はDCT回路103に供給されて離散コサイン変換される。このDCT回路103で得られるDCT係数は量子化回路104に供給されて量子化される。そして、この量子化回路104で得られた符号化信号D_oが出力端子105に出力される。

また、量子化回路104で得られる符号化信号D_oが逆量子化回路106に供給されて逆量子化され、さらにこの逆量子化回路106の出力信号が逆DCT回路107に供給されて逆DCTされ、差分信号が復元される。この差分信号と動き補償回路110からの予測画像信号とが加算器108で加算されて元の画像信号が復元され、この復元された画像信号がフレームメモリ109に記憶される。

動き補償回路110では、あるフレームにおいては、その前のフレームにフレームメモリ109に記憶された画像信号の読み込みが行われて、動きベクトル検

出回路 111 からの動きベクトル MV に基づいて動き補償されて、予測画像信号が得られる。この予測画像信号は、上述したように、差分信号を得るために減算器 102 に供給されると共に、画像信号を復元するために加算器 108 に供給される。

5 次に、動きベクトル検出回路 111 の詳細を説明する。

この動きベクトル検出回路 111 では、ブロックマッチング法により動きベクトルが検出される。これは、図 6 に示すように、探索フレームの候補ブロックを所定の探索範囲内で移動し、参照フレームの参照ブロックと最も合致している候補ブロックを検出することにより、動きベクトルを求めるものである。

10 ブロックマッチング法では、図 7 A に示すように、1 枚の画像、例えば水平 H 画素、垂直 V ラインの 1 フレームの画像が図 7 B に示すように、P 画素 × Q ラインのブロックに細分化される。図 7 B の例では、 $P = 5$ 、 $Q = 5$ の例である。c がブロックの中心画素位置である。

図 8 A、図 8 B および図 8 C は、それぞれ、c を中心画素とする参照ブロック
15 と c' を中心画素とする候補ブロックの位置関係例を示している。c を中心画素とする参照ブロックは、参照フレームの注目しているある参照ブロックであり、それと合致する探索フレームの候補ブロックが探索フレームにおいて c' を中心とするブロックの位置にあるものとしている。ブロックマッチング法では、探索範囲内において、参照ブロックと最も合致する候補ブロックを見出すことによっ
20 て、動きベクトルを検出する。

図 8 A の場合では、水平方向に +1 画素、垂直方向に +1 ライン、すなわち、 $(+1, +1)$ の動きベクトルが検出される。図 8 B では、 $(+3, +3)$ の動きベクトル MV が検出され、図 8 C では、 $(+2, -1)$ の動きベクトルが検出される。動きベクトルは、参照フレームの参照ブロック毎に求められる。

25 動きベクトルを探索する範囲を水平方向で $\pm S$ 画素、垂直方向で $\pm T$ ラインとすると、参照ブロックは、その中心 c に対して、水平に $\pm S$ 、垂直に $\pm T$ ずれたところに中心 c' を有する候補ブロックと比較される必要がある。

図 9 は、探索範囲を水平方向で $\pm S$ 画素、垂直方向で $\pm T$ ラインとしたときの、参照ブロックと比較すべき候補ブロックの中心を示した図である。この場合、参

照フレームのある参照ブロックの中心 c の位置を R とするとき、比較すべき探索フレームの $(2S+1) \times (2T+1)$ 個の候補ブロックとの比較が必要なが分かる。すなわち、この図9のます目の位置に c' が存在する候補ブロックの全てが比較対象である。図9は、 $S=4$ 、 $T=3$ とした例である。

- 5 探索範囲内の比較で得られた差分絶対値和の中で最小値を検出することによって、動きベクトルが検出される。図9の探索範囲は、候補ブロックの中心が位置する領域であり、 $P \times Q$ 画素の大きさの候補ブロックの全体が含まれる探索範囲の大きさは、 $(2S+P) \times (2T+Q)$ となる。

図10は、動きベクトル検出回路111の構成を示している。

- 10 この動きベクトル検出回路111は、画像信号 D_i を参照フレームの信号としてメモリ部122に入力する入力端子121と、この参照フレームの画像信号 D_i および探索フレームの画像信号を蓄積するメモリ部122とを有している。このメモリ部122は、差分絶対値生成手段を構成している。

- 15 このメモリ部122は、参照フレームおよび探索フレームの画像信号を用い、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成するためのものである。このメモリ部122は、参照フレームの画像信号 D_i を蓄積するための参照フレームメモリ部122aと、探索フレームの画像信号を蓄積するための探索フレームメモリ部122bと、キャッシュメモリ122c、122dとを備えている。

- 20 キャッシュメモリ122c、122dは、それぞれフレームメモリ部122a、122bの所定ラインの記憶データを用いて差分絶対値を得る際に、当該所定ラインの記憶データを一時的に待避させておく待避手段を構成している。

- 25 入力端子121からあるフレームの画像信号 D_i がメモリ部122の参照フレームメモリ部122aに供給されて書き込まれる際に、この参照フレームメモリ部122aに記憶されていた1フレーム前の画像信号が読み出されて探索フレームメモリ部122bに供給されて書き込まれる。

この場合、参照フレームメモリ部122aより読み出された8ビットのストリートバイナリ形式の画素データが、メモリ部122の外部に設けられた2の補数変換部123で2の補数形式の画素データに変換され、9ビットの画素データと

して探索フレームメモリ部 122b に書き込まれる。ここで、2 の補数の形式のデータを 9 ビットとするのは、8 ビットのデータが「00000000」であるとき、2 の補数の形式のデータは「100000000」となり、これへの対応のためである。なお、2 の補数変換部 123 は、メモリ部 122 の内部に設けられていてもよい。

図 11 は、参照フレームメモリ部 122a および探索フレームメモリ部 122b を構成するメモリブロック 10 の構成を示している。

このメモリブロック 10 は、メモリセルアレイ 20 と、記憶データ入出力用ポート 30 と、ロウアドレスデコーダ 40 と、演算データ出力用ポート 50 と、制御回路 80 とを有している。

メモリセルアレイ 20 は、図 12 に示すように、参照フレームメモリ部 122a に対応したメモリセルアレイ部 20a と、探索フレームメモリ部 122b に対応したメモリセルアレイ部 20b とからなっている。

メモリセルアレイ部 20a は、それぞれビット線 BL およびワード線 WL に接続され、マトリクス状に配された複数のメモリセル ML からなっている。ビット線 BL はロウ方向（行方向）に延びる、データを転送するための線である。また、ワード線 WL は、カラム方向（列方向）に延びる、複数のビット線 BL に直交する線である。同様に、メモリセルアレイ部 20b は、それぞれビット線 BL およびワード線 WL に接続され、マトリクス状に配された複数のメモリセル ML からなっている。図 12 においては、メモリセル ML を図示していないが、このメモリセル ML は、後述するように、ユニット A、B を構成している。

これらメモリセルアレイ部 20a、20b は、ビット線 BL が延びる方向である行方向（ロウ方向）に連続して形成されている。ここで、メモリセルアレイ部 20a、20b は、メモリセル ML が例えば DRAM 構造のものであり、1 つのビット線 BL 上で、活性化された複数のワード線 WL に接続された複数のメモリセル ML のキャパシタ C の蓄積電荷の結合が可能となっている。

メモリセルアレイ部 20a においては、それぞれのビット線 BL に接続される複数のメモリセル ML が 8 個毎のユニット A に分割されており、各ユニット A にそれぞれ 1 個の画素データ（ストレートバイナリ形式の 8 ビットデータ）が記憶

される。図13Aは、ユニットAの構成を示している。

このユニットAは、8本のワード線WLに接続され、8個のメモリセルMLで構成されている。メモリセルMLは、DRAM構造のものであって、アクセストランジスタTとキャパシタCとで構成されている。キャパシタCの一端は接地され、その他端はアクセストランジスタTを介してビット線BLに接続されている。また、アクセストランジスタTのゲートはワード線WLに接続されている。このメモリセルMLに対する読み出しおよび書き込みは、従来周知のように、ワード線WLを活性化してアクセストランジスタTをオン状態とすることで行われる。

このユニットAの8個のメモリセルMLのそれぞれには、1個の8ビットデータの各ビットがそれぞれ記憶される。この場合、8個のメモリセルMLのキャパシタCは、上述の8ビットデータの各ビットの重みに対応した容量を持つようにされている。

図13Aにおいては、上側がLSB (Least Significant Bit) 側であり、下側がMSB (Most Significant Bit) 側である。ユニットAを構成する8個のメモリセルMLのキャパシタCの容量は、LSB側からMSB側に向かって順次倍にされている。つまり、この8個のメモリセルMLのキャパシタCの容量は、LSBのキャパシタCの容量を p とすると、LSB側から、それぞれ p , $2p$, $4p$, $8p$, $16p$, $32p$, $64p$, $128p$ とされる。

メモリセルアレイ部20bにおいては、それぞれのビット線BLに接続される複数のメモリセルMLが9個毎のユニットBに分割されており、各ユニットBにそれぞれ1個の画素データ（2の補数形式の9ビットデータ）が記憶される。図13Bは、ユニットBの構成を示している。

このユニットBは、9本のワード線WLに接続され、9個のメモリセルMLで構成されている。メモリセルMLは、DRAM構造のものであって、アクセストランジスタTとキャパシタCとで構成されている。キャパシタCの一端は接地され、その他端はアクセストランジスタTを介してビット線BLに接続されている。また、アクセストランジスタTのゲートはワード線WLに接続されている。このメモリセルMLに対する読み出しおよび書き込みは、従来周知のように、ワード線WLを活性化してアクセストランジスタTをオン状態とすることで行われる。

このユニットBの9個のメモリセルMLのそれぞれには、1個の9ビットデータの各ビットがそれぞれ記憶される。この場合、9個のメモリセルMLのキャパシタCは、上述の9ビットデータの各ビットの重みに対応した容量を持つようにされている。

- 5 図13Bにおいては、上側がLSB側であり、下側がMSB側である。ユニットBを構成する9個のメモリセルMLのキャパシタCの容量は、LSB側からMSB側に向かって順次倍にされている。つまり、この9個のメモリセルMLのキャパシタCの容量は、LSBのキャパシタCの容量を p とすると、LSB側から、それぞれ p , $2p$, $4p$, $8p$, $16p$, $32p$, $64p$, $128p$, $256p$
- 10 とされる。

- ここで、各フレームがH本のラインで構成されると共に、各ラインがW画素で構成されるものとする、メモリセルアレイ部20aは少なくともカラム方向にW個、ロウ方向にH個のユニットAが配置された構造とされ、メモリセルアレイ部20bも少なくともカラム方向にW個、ロウ方向にH個のユニットBが配置された構造とされる。
- 15

- 図11に戻って、記憶データ入出力用ポート30は、記憶データ用カラムアドレスデコーダ31、アドレスバッファ32およびI/Oバッファ33で構成されている。カラムアドレスデコーダ31には、I/Oゲート(カラム・スイッチ)やセンスアンプ等が含まれている。カラムアドレスデコーダ31には、アドレス
- 20 バッファ32を介してカラムアドレスが入力される。

- カラムアドレスデコーダ31は、アドレスバッファ32を介して供給されるカラムアドレスに対応して、メモリセルアレイ20のカラム方向の所定のメモリセルMLに接続されるビット線BLとの接続を確保し、I/Oバッファ33およびカラムアドレスデコーダ31を通じて、当該カラム方向の所定のメモリセルML
- 25 に対する、記憶データの書き込み、読み出しが可能となるようにする。

また、ロウアドレスデコーダ40には、アドレスバッファ41を介してロウアドレスが入力される。ロウアドレスデコーダ40は、アドレスバッファ41を介して供給されるロウアドレスに対応して、メモリセルアレイ20のロウ方向の所定のメモリセルMLに接続されるワード線WLを活性化し、I/Oバッファ33

およびカラムアドレスデコーダ 31 を通じて、当該ロウ方向の所定のメモリセル ML に対する、記憶データの書き込み、読み出しが可能となるようにする。

また、演算データ出力用ポート 50 は、演算データ出力用カラムアドレスデコーダ 51、アドレスバッファ 52 および A/D コンバータ 53 で構成されている。

- 5 カラムアドレスデコーダ 51 には、I/O ゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラムアドレスデコーダ 51 には、アドレスバッファ 52 を介してカラムアドレスが入力される。カラムアドレスデコーダ 51 はビット線選択手段を構成している。また、カラムアドレスデコーダ 51、A/D コンバータ 53 は信号出力手段を構成している。

- 10 カラムアドレスデコーダ 51 は、アドレスバッファ 52 を介して供給されるカラムアドレスに対応して、メモリセルアレイ 20 のカラム方向の所定のメモリセル ML に接続される 1 つのビット線 BL との接続を確保し、その 1 つのビット線 BL 上に得られた電荷総量に対応した値の電圧信号を出力する。A/D コンバータ 53 は、カラムアドレスデコーダ 51 から出力される電圧信号（アナログ信号）を所定ビット、例えば 8 ビットのデジタル信号に変換して出力する。
- 15

また、制御回路 80 は、メモリブロック 10 の上述した各回路の動作を、制御入力に基づいて制御する。

次に、図 11 に示すメモリブロック 10 の動作を説明する。

- このメモリブロック 10 は、演算データ出力用ポート 50 を除く部分のみで、
- 20 メモリセルアレイ 20 の所定のメモリセル ML に対する、記憶データの書き込み、読み出しが可能である。

- すなわち、カラムアドレスデコーダ 31 には、アドレスバッファ 32 を介してカラムアドレスが入力される。カラムアドレスデコーダ 31 は、このカラムアドレスに対応して、メモリセルアレイ 20 のカラム方向の所定のメモリセル ML に
- 25 接続されるビット線 BL との接続を確保する。また、ロウアドレスデコーダ 40 には、アドレスバッファ 41 を介してロウアドレスが入力される。ロウアドレスデコーダ 40 は、このロウアドレスに対応して、メモリセルアレイ 20 のロウ方向の所定のメモリセル ML に接続されるワード線 WL を活性化する。これにより、I/O バッファ 33 およびカラムアドレスデコーダ 31 を通じて、カラム方向お

よびロウ方向の所定のメモリセルMLに対する、記憶データの書き込み、読み出しが行われる。

演算データ出力用ポート50を使用した、差分絶対値の出力動作について説明する。メモリセルアレイ20のメモリセルアレイ部20aの各ユニットAの8個
5 のメモリセルMLには、上述したように、それぞれストレートバイナリ形式の8ビットの画素データの各ビットが記憶される。また、メモリセルアレイ20のメモリセルアレイ部20bの各ユニットBの9個のメモリセルMLには、上述したように、それぞれ2の補数形式の9ビットの画素データの各ビットが記憶される。

ロウアドレスデコーダ40には、アドレスバッファ41を介してロウアドレス
10 が入力される。ロウアドレスデコーダ40は、このロウアドレスに対応して、メモリセルアレイ20を構成するメモリセルアレイ部20a, 20bの各1ラインの画素データ、つまり各1行のユニットに係る複数のワード線WLを同時に活性化する。これにより、各ビット線BL上で、それぞれ、活性化された2つの画素データに係る複数のワード線WLに接続された複数のメモリセルMLのキャパシタCの蓄積電荷が結合される。
15

ここで、複数のメモリセルMLのキャパシタCの総容量を C_m とし、そこに蓄積されている電荷総量を Q_c とし、さらにビット線BLの容量を C_b とすると、ビット線電荷総量 Q_b は、次式のようになる。つまり、ビット線電荷総量 Q_b は、複数のメモリセルMLのキャパシタCに蓄積されている電荷総量 Q_c に比例したものと
20 なる。

$$Q_b = Q_c \times C_b / (C_m + C_b) \quad \dots (1)$$

この状態で、カラムアドレスデコーダ51には、アドレスバッファ52を介してカラムアドレスが入力される。カラムアドレスデコーダ51は、このカラムアドレスに対応して、メモリセルアレイ20のカラム方向の所定のメモリセルML
25 に接続される1つのビット線BLとの接続を確保する。これにより、カラムアドレスデコーダ51からは、接続が確保されたビット線BL上に得られた電荷総量に対応した値の電圧信号が出力される。そのため、A/Dコンバータ53からは、その接続が確保されたビット線BL上に得られた電荷総量に対応した値のデジタル信号が得られる。

上述したように、メモリセルアレイ部20aの各ユニットAには、それぞれ参照フレームの画像信号 D_i を構成する画素データがストレートバイナリの形式で記憶され、メモリセルアレイ部20bの各ユニットBには、それぞれ探索フレームの画像信号を構成する画素データが2の補数の形式で記憶されている。そのため、各ビット線BL上に得られる電荷総量は、参照フレームおよび探索フレームの画素データの差分値に対応したものとなる。また、上述せずも、A/Dコンバータ53は、アナログ信号からデジタル信号への変換と共に、絶対値変換も行う。したがって、上述したようにA/Dコンバータ53から得られるデジタル信号は、参照フレームの画素データから探索フレームの画素データを差し引いて得られる差分データをさらに絶対値変換してなる差分絶対値となる。

この場合、カラムアドレスデコーダ51で接続を確保する1つのビット線BLを順次変更することで、A/Dコンバータ53から、各ビット線BLの部分に対応した差分絶対値が順次得られる。つまり、参照フレームの所定ラインと探索フレームの所定ラインとの間の1ライン分の差分絶対値が順次得られる。

ここで、図14を参照して、減算演算の具体例を説明する。この具体例は、被減数データとしての8ビットのデータから減数データとしての8ビットのデータを減算する例である。ユニットAの部分には被減数データとしての8ビットのデータがそのままストレートバイナリの形式で記憶されている。この8ビットのデータは「10000101」であって、10進数表現では「133」である。一方、ユニットBの部分には減数データとしての8ビットのデータが2の補数の形式のデータに変換された9ビットのデータが記憶されている。この8ビットのデータは「00010100」であって、10進数表現では「20」である。また、2の補数の形式に変換した後の9ビットのデータは「011101100」である。

このようにユニットA、ユニットBのそれぞれに被減数、減数のデータが記憶されることで、これらユニットA、ユニットBのメモリセルMLのうち、ハッチングが施されていないキャパシタCのみが電荷が蓄積された状態となる。この場合、ユニットAの8個のメモリセルMLの全てのキャパシタCに蓄積された電荷の総量は、LSBのメモリセルMLのキャパシタCに蓄積される電荷を q とする

と、 $133q$ となる。同様に、ユニットBの9個のメモリセルMLの全てのキャパシタCに蓄積された電荷の総量は、 $236q$ となる。

このような状態で、2つのユニットA、ユニットBに係る複数のワード線WLが同時に活性化されて各メモリセルMLのアクセストランジスタTがオン状態になると、ビット線BL上で、それぞれのユニットA、ユニットBにおける蓄積電荷が結合される。これにより、ビット線BL上で結合された電荷の総量は10進数で「 369 」に相当するものとなる。つまり、上述の(1)式から、ビット線電荷総量 Q_b は、 $Q_b = 369q \times C_b / (C_m + C_b)$ となる。

したがって、カラムアドレスデコーダ51からはこの電荷総量「 369 」に対応した値の電圧信号が出力される。ここで、「 369 」は、2進数表現では「 101110001 」である。このときのMSBは符号ビットであり、「1」の場合は正を、「0」の場合は負を表すものとなる。そのため、A/Dコンバータ53では、この符号ビットを考慮したA/D変換が行われ、2つのユニットA、ユニットBに記憶されていたデータの差分絶対値が得られる。

図15は、ビット線電荷総量とA/Dコンバータ53の出力値との関係を示している。この場合、ビット線電荷量「1」～「 255 」に対応して「 255 」～「1」、「 256 」～「 511 」に対応して「0」～「 255 」のデジタル信号を出力する。図15における横軸のビット線電荷総量は、 $q \times C_b / (C_m + C_b)$ が1となるように正規化したものである。後述する図16、図24における横軸のビット線電荷総量も同様である。

なお、ビット線電荷総量とA/Dコンバータ53の出力値との関係を、図16に示すように設定し、このA/Dコンバータ53から差分データを得るようにし、この差分データを別個の絶対値化回路で絶対値に変換することも考えられる。この場合、A/Dコンバータ53は、ビット線電荷総量「1」～「 511 」に対応して「 -255 」～「 255 」のデジタル信号を出力する。

ところで、被減数データが8ビットのデータの場合には10進数で「0」～「 255 」の範囲の値を取り得るが、減数データも8ビットのデータの場合には10進数で「0」～「 255 」の範囲の値を取り得る。この場合に、被減数、減数のデータがそれぞれユニットA、ユニットBに正しく記憶され、これらユニッ

トA、ユニットBに係る複数のワード線WLが同時に活性化された場合には、ビット線電荷総量は10進数で「1」～「511」となり、「0」となることはあり得ない。そのため、図15、図16においては、ビット線電荷総量が「0」の場合に関しても変換を行っているが、その変換後のデジタル値自体には特に意味はない。

上述したように、このメモリブロック10においては、メモリセルアレイ20を構成するメモリセルアレイ部20a、20bの各1ラインの画素データに係る複数のワード線WLを同時に活性化することで、参照フレームの所定ラインと探索フレームの所定ラインとの間の1ライン分の差分絶対値を得ることができる。

ここで、メモリセルアレイ部20aで活性化されるラインに対して、メモリセルアレイ部20bで活性化されるラインの位置を変更することで、参照フレームの所定ラインと、これと垂直方向（行方向）に所定ライン数だけずれた位置の探索フレームのラインとの間における画素データの差分絶対値を得ることができる。

なお、メモリセルアレイ部20a、20bの各1ラインの画素データに係る複数のワード線WLが同時に活性化された場合には、上述したようにビット線BL上でこれらのワード線WLに接続された複数のメモリセルMLのキャパシタCにおける蓄積電荷が結合され、出力される。そのため、蓄積電荷の結合後、これら複数のメモリセルMLの記憶データは意味のない値（破壊された状態）となる。

そのため、活性化されるワード線WLに対応したメモリセルアレイ部20a、20bの複数のメモリセルMLに記憶されている各1ライン分の画素データは、ワード線WLの活性化の前にキャッシュメモリ122c、122d（図10参照）に待避される。そして、上述したように、A/Dコンバータ53から1ライン分の差分絶対値が得られた後に、このキャッシュメモリ122c、122dの記憶データを用いて、複数のメモリセルMLの意味のない記憶データが元に戻される。

また、メモリセルアレイ部20aまたはメモリセルアレイ部20bに記憶されている画素データの記憶位置を水平方向（列方向）に移動することで、参照フレームの所定画素と、これと水平方向に所定画素数だけずれた位置の探索フレームの画素との間における画素データの差分絶対値を得ることができる。

ここで、メモリセルアレイ部 20 a またはメモリセルアレイ部 20 b に記憶されている画素データの記憶位置を水平方向（列方向）に移動する際には、上述したキャッシュメモリ 122 c, 122 d が一時記憶メモリとして使用される。

メモリ部 122 は、上述したような構成により、参照フレームおよび探索フレームの画像信号を用い、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成する。

ここで、1 フレームの画像サイズが $W \times H$ 画素であるとする。また、探索範囲が、水平方向に s_w 画素（ここでは、 $+x_a \sim -x_b$ ）であり、垂直方向に s_h 画素（ここでは、 $+y_a \sim -y_b$ ）であるとする。この場合、図 17 に示すように、参照フレームの $W \times H$ 画素の各画素毎に、その画素データと探索フレームの $s_w \times s_h$ 個の探索位置の画素データとの差分絶対値が生成される。

図 17 において、差分絶対値 $a(x, y)$, $(0, 0)$ は、参照フレームの (x, y) の位置の画素と探索フレームの (x, y) の位置の画素との間の画素データの差分絶対値を示しており、同様に差分絶対値 $a(x, y)$, $(+x_a, +y_a)$ 、 $a(x, y)$, $(-x_b, +y_a)$ 、 $a(x, y)$, $(+x_a, -y_b)$ 、 $a(x, y)$, $(-x_b, -y_b)$ は、参照フレームの (x, y) の位置の画素とそれぞれ探索フレームの $(x + x_a, y + y_a)$ 、 $(x - x_b, y + y_a)$ 、 $(x + x_a, y - y_b)$ 、 $(x - x_b, y - y_b)$ の位置の画素との間の画素データの差分絶対値を示している。

ここで、参照フレームの (x, y) の位置の画素と探索フレームの $(x + x_a, y) \sim (x - x_b, y)$ の位置の画素との間の画素データの差分絶対値は、図 18 に示すように、例えばメモリセルアレイ部 20 b に記憶されている探索フレームの (x, y) の位置の画素データの記憶位置を水平方向（列方向）に $-x_a \sim +x_b$ だけ移動することによって得ることができる。

同様に、参照フレームの (x, y) の位置の画素と探索フレームの $(x, y + y_a) \sim (x, y - y_b)$ の位置の画素との間の画素データの差分絶対値は、図 19 に示すように、メモリセルアレイ部 20 b で活性化されるラインの位置を $y + y_a \sim y - y_b$ に変更することによって得ることができる。

図 10 に戻って、動きベクトル検出回路 111 は、メモリ部 122 で生成される差分絶対値を保持する差分絶対値保持部 124 を有している。この差分絶対値

保持部 124 は、差分絶対値和生成手段を構成している。

この差分絶対値保持部 124 は、メモリ部 122 で生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の $s_w \times s_h$ 個の候補ブロックのそれぞれとの間の差分絶対値和を生成するものである。

図 20 は、差分絶対値保持部 124 を構成するメモリブロック 60 の構成を示している。このメモリブロック 60 は、メモリセルアレイ 70 と、記憶データ入出力用ポート 30 と、ロウアドレスデコーダ 40 と、演算データ出力用ポート 50 と、制御回路 80 とを有している。

このメモリブロック 60 は、メモリセルアレイ 70 の部分を除いて、上述した参照フレームメモリ部 122a および探索フレームメモリ部 122b を構成するメモリブロック 10 (図 11 参照) と同様に構成される。そのため、ここでは、メモリセルアレイ 70 の部分を詳細に説明し、その他の部分の説明は適宜省略する。

メモリセルアレイ 70 は、図 21 に示すように、それぞれビット線 BL およびワード線 WL に接続され、マトリクス状に配された複数のメモリセル ML からなっている。図 21 においては、メモリセル ML を図示していないが、このメモリセル ML は、後述するように、ユニット A を構成している。ここで、メモリセルアレイ 70 は、メモリセル ML が例えば DRAM 構造のものであり、1 つのビット線 BL 上で、活性化された複数のワード線 WL に接続された複数のメモリセル ML のキャパシタ C の蓄積電荷の結合が可能となっている。

メモリセルアレイ 70 においては、それぞれのビット線 BL に接続される複数のメモリセル ML が 8 個毎のユニット A に分割されており、各ユニット A にそれぞれ 1 個の差分絶対値 (ストレートバイナリ形式の 8 ビットデータ) が記憶される。ユニット A は、上述したように、図 13A に示す構成とされている。

メモリセルアレイ 70 は、上述したように、1 フレームの画像サイズが $W \times H$ 画素であり、また探索範囲が、水平方向に s_w 画素、垂直方向に s_h 画素であるとき、少なくともカラム方向に $s_w \times s_h$ 個、ロウ方向に $W \times H$ 個のユニット A が配置された構造とされる。

上述したように、メモリ部 122 においては、参照フレームの $W \times H$ 画素の各画素毎に、その画素データと探索フレームの $s_w \times s_h$ 個の探索位置の画素データとの差分絶対値が生成される。上述のメモリセルアレイ 70 は、図 22 に示すように、ロウ方向の各ユニット A の位置が、参照フレームの $W \times H$ 個の画素位置
5 に対応したものとされ、カラム方向の各ユニット A の位置が、探索フレームの $s_w \times s_h$ 個の探索位置に対応したものとされる。このメモリセルアレイ 70 の各ユニット A には、対応する差分絶対値が保持される。例えば、ロウ方向の (x, y) に対応した $s_w \times s_h$ 個のユニット A の行には、参照フレームの (x, y) の位置の画素と探索フレームの水平方向 $x + x_a \sim x - x_b$ 、垂直方向 $y + y_a$
10 $\sim y - y_b$ の範囲にある $s_w \times s_h$ 個の探索位置の画素データとの差分絶対値が保持される。

次に、図 20 に示すメモリブロック 60 の動作を説明する。

このメモリブロック 60 は、演算データ出力用ポート 50 を除く部分のみで、メモリセルアレイ 70 の所定のメモリセル ML に対する、記憶データの書き込み、
15 読み出しが可能である。

すなわち、カラムアドレスデコーダ 31 には、アドレスバッファ 32 を介してカラムアドレスが入力される。カラムアドレスデコーダ 31 は、このカラムアドレスに対応して、メモリセルアレイ 70 のカラム方向の所定のメモリセル ML に接続されるビット線 BL との接続を確保する。

20 また、ロウアドレスデコーダ 40 には、アドレスバッファ 41 を介してロウアドレスが入力される。ロウアドレスデコーダ 40 は、このロウアドレスに対応して、メモリセルアレイ 70 のロウ方向の所定のメモリセル ML に接続されるワード線 WL を活性化する。これにより、I/O バッファ 33 およびカラムアドレスデコーダ 31 を通じて、カラム方向およびロウ方向の所定のメモリセル ML に対する、記憶データの書き込み、読み出しが行われる。
25

演算データ出力用ポート 50 を使用した、差分絶対値和の出力動作について説明する。

ロウアドレスデコーダ 40 には、アドレスバッファ 41 を介してロウアドレスが入力される。ロウアドレスデコーダ 40 は、このロウアドレスに対応して、メ

メモリセルアレイ 70 の、所定の参照ブロックの $b_w \times b_h$ 個の画素位置に対応したロウ方向のユニット A に係る複数のワード線 WL を同時に活性化する（図 22 参照）。ここで、 b_w は参照ブロックの水平方向の画素数、 b_h は参照ブロックの垂直方向の画素数を示している。これにより、各ビット線 BL 上で、それぞれ、
5 活性化された $b_w \times b_h$ 個のユニット A に係る複数のワード線 WL に接続された複数のメモリセル ML のキャパシタ C の蓄積電荷が結合される。

この状態で、カラムアドレスデコーダ 51 には、アドレスバッファ 52 を介してカラムアドレスが入力される。カラムアドレスデコーダ 51 は、このカラムアドレスに対応して、メモリセルアレイ 70 のカラム方向の所定のメモリセル ML
10 に接続される 1 つのビット線 BL との接続を確保する。これにより、カラムアドレスデコーダ 51 からは、接続が確保されたビット線 BL 上に得られた電荷総量に対応した値の電圧信号が出力される。そのため、A/D コンバータ 53 からは、その接続が確保されたビット線 BL 上に得られた電荷総量に対応した値のデジタル信号が得られる。

15 上述したように、メモリセルアレイ 70 の、所定の参照ブロックの $b_w \times b_h$ 個の画素位置に対応したロウ方向のユニット A に係る複数のワード線 WL が同時に活性化される。そのため、各ビット線 BL 上に得られる電荷総量は、所定の参照ブロックとこの所定の参照ブロックに対応した探索フレームの探索範囲内の所定の候補ブロックとの間の $b_w \times b_h$ 個の差分絶対値の加算結果に対応したもの
20 となる。したがって、A/D コンバータ 53 からは、その加算結果を示す差分絶対値和（デジタル信号）が得られることとなる。

この場合、カラムアドレスデコーダ 51 で接続を確保する 1 つのビット線 BL を順次変更することで、A/D コンバータ 53 から、所定の参照ブロックとこの所定の参照ブロックに対応した探索フレームの探索範囲内の $s_w \times s_h$ 個の候補
25 ブロックのそれぞれとの間の差分絶対値和が順次得られる。また、メモリセルアレイ 70 の、活性化すべき $b_w \times b_h$ 個の画素位置に対応したロウ方向のユニット A に係る複数のワード線 WL を、他の参照ブロックに対応したものとすることで、他の参照ブロックに係る差分絶対値和が得られる。

ここで、図 23 を参照して、加算演算の具体例を説明する。この具体例は、説

明を簡単にするため、2つの8ビットデータを加算する例である。

ユニットA1の部分には被加数データとしての8ビットのデータが記憶されている。この8ビットのデータは「00010100」であって、10進数表現では「20」である。一方、ユニットA2の部分には加数データとしての8ビットのデータが記憶されている。この8ビットのデータは「10000101」であって、10進数表現では「133」である。

このようにユニットA1、A2のそれぞれに被加数、加数のデータが記憶されることで、これらユニットA1、A2のメモリセルMLのうち、ハッチングが施されていないキャパシタCのみが電荷が蓄積された状態となる。この場合、ユニットA1の8個のメモリセルMLの全てのキャパシタCに蓄積された電荷の総量は、LSBのメモリセルMLのキャパシタCに蓄積される電荷を q とすると、 $20q$ となる。同様に、ユニットA2の8個のメモリセルMLの全てのキャパシタCに蓄積された電荷の総量は、 $133q$ となる。

このような状態で、ユニットA1、A2に係る複数のワード線WLが同時に活性化されて各メモリセルMLのアクセストランジスタTがオン状態になると、ビット線BL上で、それぞれのユニットA1、A2における蓄積電荷が結合される。これにより、ビット線BL上で結合された電荷の総量は10進数で「153」に相当するものとなる。

したがって、カラムアドレスデコーダ51からはこの電荷総量「153」に対応した値の電圧信号が出力される。これにより、A/Dコンバータ53からは、ユニットA1、A2に記憶されていたデータの加算結果に対応した加算データが得られる。

ユニットA1、A2は、8ビット出力であるため、この加算データは、9ビット分の値になる。そこで、9ビット質のA/Dコンバータを用いると加算データをユニットA1、ユニットA2に格納された値の精度で出力することができる。

また、8ビットのA/Dコンバータを利用することもできる。その場合、出力は8ビット出力であるため、出力値の精度は低くなる。図24は、ビット線電荷総量と8ビット出力のA/Dコンバータ53の出力値（加算データ）との関係例を示している。図24の場合には、このような変換特性によって、512階調が

ら256階調への階調変換も行える。図24では、512階調から256階調へと階調が変化しているため、この出力値の2倍の値が実際の加算結果となる。

5 なお、メモリセルアレイ70の所定の参照ブロックの $b_w \times b_h$ 個の画素位置に対応したロウ方向のユニットAに係る複数のワード線WLが同時に活性化された場合には、上述したようにビット線BL上でこれらのワード線WLに接続された複数のメモリセルMLのキャパシタCにおける蓄積電荷が結合される。そのため、結合後、これら複数のメモリセルMLの記憶データが意味のない値となる。しかし、この複数のメモリセルMLの部分の記憶データは、この所定の参照ブロックとは画素位置が異なる他の参照ブロックに係る差分絶対値和を得る際には必要としないので、この複数のメモリセルMLの記憶データをワード線WLを活性化
10 化する前に例えばキャッシュメモリに待避しておくことは不要である。

図10に戻って、また、動きベクトル検出回路111は、差分絶対値保持部124で生成された、参照ブロック毎のそれぞれ複数の差分絶対値和を保持する差分絶対値和保持部125を有している。

15 また、動きベクトル検出回路111は、差分絶対値和保持部125に保持された参照ブロック毎のそれぞれ複数の差分絶対値和に基づいて、参照ブロック毎に動きベクトルを検出する最小値判定部126と、この最小値判定部126で検出された動きベクトルを保持する動きベクトル保持部127と、この動きベクトル保持部127に保持された各参照ブロックの動きベクトルMVを順次出力する出力端子128とを有している。最小値判定部126では、最小の差分絶対値和を発生する候補ブロックの位置を、動きベクトルとして検出する。

図10に示す動きベクトル検出回路111の動作を説明する。

25 入力端子121に入力される画像信号Diはメモリ部122を構成する参照フレームメモリ部122aに、参照フレームの画像信号として蓄積される。またこの際、参照フレームメモリ部122bに記憶されていた1フレーム前の画像信号は、読み出されて探索フレームメモリ部122bに、探索フレームの画像信号として蓄積される。この場合、参照フレームメモリ部122aより読み出された8ビットのストレートバイナリ形式の画素データが、メモリ部122の外部に設けられた2の補数変換部123で2の補数形式の画素データに変換され、9ビット

の画素データとして探索フレームメモリ部 1 2 2 b に書き込まれる。

参照フレームメモリ部 1 2 2 a および探索フレームメモリ部 1 2 2 b はメモリブロック 1 0 で構成されている（図 1 1 参照）。そして、そのメモリセルアレイ 2 0 は、参照フレームメモリ部 1 2 2 a に対応したメモリセルアレイ部 2 0 a と、
5 探索フレームメモリ部 1 2 2 b に対応したメモリセルアレイ部 2 0 b とからなっている（図 1 2 参照）。メモリセルアレイ部 2 0 a, 2 0 b は、ビット線 B L が延びる方向である行方向（ロウ方向）に連続して形成されている。

メモリセルアレイ部 2 0 a, 2 0 b の各 1 ラインの画素データに係る複数のワード線 W L が同時に活性化されることで、各ビット線 B L 上で、それぞれ、活性化された 2 つの画素データに係る複数のワード線 W L に接続された複数のメモリセル M L のキャパシタ C の蓄積電荷が結合される。
10

カラムアドレスデコーダ 5 1 は、メモリセルアレイ 2 0 のカラム方向の所定のメモリセル M L に接続される 1 つのビット線 B L との接続を確保し、その接続を確保したビット線 B L 上に得られた電荷総量に対応した値の電圧信号を出力する。
15 そして、A/D コンバータ 5 3 からは、その電荷総量に対応した値のデジタル信号が得られる。

このデジタル信号は、メモリセルアレイ部 2 0 a の各ユニット A には、それぞれ参照フレームの画像信号 D i を構成する画素データがストレートバイナリの形式で記憶され、メモリセルアレイ部 2 0 b の各ユニット B には、それぞれ探索フレームの画像信号を構成する画素データが 2 の補数の形式で記憶されていると共に、
20 A/D コンバータ 5 3 は、アナログ信号からデジタル信号への変換と共に、絶対値変換も行うことから、参照フレームの画素データから探索フレームの画素データを差し引いて得られる差分データをさらに絶対値変換してなる差分絶対値となる。

25 カラムアドレスデコーダ 5 1 で接続を確保する 1 つのビット線 B L を順次変更することで、A/D コンバータ 5 3 から、各ビット線 B L の部分に対応した差分絶対値が順次得られる。つまり、参照フレームの所定ラインと探索フレームの所定ラインとの間の 1 ライン分の差分絶対値が順次得られる。

また、メモリセルアレイ部 2 0 a で活性化されるラインに対して、メモリセル

アレイ部 20b で活性化されるラインの位置が変更され、参照フレームの所定ラインと、これと垂直方向（行方向）に所定ライン数だけずれた位置の探索フレームのラインとの間における画素データの差分絶対値が得られる。

- 5 また、メモリセルアレイ部 20a またはメモリセルアレイ部 20b に記憶されている画素データの記憶位置が水平方向（列方向）に移動され、参照フレームの所定画素と、これと水平方向に所定画素数だけずれた位置の探索フレームの画素との間における画素データの差分絶対値が得られる。

- これにより、メモリ部 122 では、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値が生成される。
- 10 ここで、1 フレームの画像サイズが $W \times H$ 画素であり、また探索範囲が、水平方向に s_w 画素（ $+x_a \sim -x_b$ ）、垂直方向に s_h 画素（ $+y_a \sim -y_b$ ）であるとき、参照フレームの $W \times H$ 画素の各画素毎に、その画素データと探索フレームの $s_w \times s_h$ 個の探索位置の画素データとの差分絶対値が生成される（図 17 参照）。

- 15 なお、活性化されるワード線 WL に対応した複数のメモリセルアレイ部 20a, 20b のメモリセル ML に記憶されている各 1 ライン分の画素データは、ワード線 WL の活性化の前にキャッシュメモリ 122c, 122d（図 10 参照）に待避される。そして、上述したように、A/D コンバータ 53 から 1 ライン分の差分絶対値が得られた後に、このキャッシュメモリ 122c, 122d の記憶データを用いて、複数のメモリセル ML の意味のない記憶データが元に戻される。

- メモリ部 122 で生成される差分絶対値は差分絶対値保持部に 124 に供給されて保持される。この差分絶対値保持部 124 は、メモリブロック 60 で構成されている（図 20 参照）。そして、そのメモリセルアレイ 70 は、1 フレームの画像サイズが $W \times H$ 画素であり、また探索範囲が、水平方向に s_w 画素、垂直方向に s_h 画素であるとき、少なくともカラム方向に $s_w \times s_h$ 個、ロウ方向に $W \times H$ 個のユニット A が配置された構造とされる（図 21 参照）。
- 25

このメモリセルアレイ 70 は、図 22 に示すように、ロウ方向の各ユニット A の位置が、参照フレームの $W \times H$ 個の画素位置に対応したものとされ、カラム方向の各ユニット A の位置が、探索フレームの $s_w \times s_h$ 個の探索位置に対応した

ものとされる。このメモリセルアレイ 20 の各ユニット A には、対応する差分絶対値が保持される（図 17 参照）。

メモリセルアレイ 70 の、所定の参照ブロックの $b_w \times b_h$ 個の画素位置に対応したロウ方向のユニット A に係る複数のワード線 WL が同時に活性化されること
5 とで、各ビット線 BL 上で、それぞれ、活性化された $b_w \times b_h$ 個のユニット A に係る複数のワード線 WL に接続された複数のメモリセル ML のキャパシタ C の蓄積電荷が結合される。

この状態で、カラムアドレスデコーダ 51 には、アドレスバッファ 52 を介してカラムアドレスが入力される。カラムアドレスデコーダ 51 は、このカラムア
10 ドレスに対応して、メモリセルアレイ 70 のカラム方向の所定のメモリセル ML に接続される 1 つのビット線 BL との接続を確保する。これにより、カラムアドレスデコーダ 51 からは、接続が確保されたビット線 BL 上に得られた電荷総量に対応した値の電圧信号が出力される。そのため、A/D コンバータ 53 からは、その接続が確保されたビット線 BL 上に得られた電荷総量に対応した値のデジ
15 タル信号が得られる。

このデジタル信号は、各ビット線 BL 上に得られる電荷総量が、所定の参照ブロックとこの所定の参照ブロックに対応した探索フレームの探索範囲内の所定の候補ブロックとの間の $b_w \times b_h$ 個の差分絶対値の加算結果に対応したものとなることから、その加算結果を示す差分絶対値和となる。

20 この場合、カラムアドレスデコーダ 51 で接続を確保する 1 つのビット線 BL を順次変更することで、A/D コンバータ 53 から、所定の参照ブロックとこの所定の参照ブロックに対応した探索フレームの探索範囲内の $s_w \times s_h$ 個の候補ブロックのそれぞれとの間の差分絶対値和が順次得られる。また、メモリセルアレイ 70 の、活性化すべき $b_w \times b_h$ 個の画素位置に対応したロウ方向のユニット
25 A に係る複数のワード線 WL を、他の参照ブロックに対応したものとすることで、他の参照ブロックに係る差分絶対値和が得られる。

これにより、差分絶対値和保持部 124 では、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の $s_w \times s_h$ 個の候補ブロックのそれぞれとの間の差分絶対値和が生成される。

この参照ブロック毎のそれぞれ複数の差分絶対値和は、差分絶対値和保持部 1 2 5 に供給されて保持される。そして、最小値判定部 1 2 6 は、参照ブロック毎に、このように差分絶対値和保持部 1 2 5 に保持された複数の差分絶対値和に基づき、最小の差分絶対値和を発生する候補ブロックの位置を動きベクトルとして
5 検出する。このように検出される動きベクトルは動きベクトル保持部 1 2 7 に保持される。

そして、動きベクトル保持部 1 2 7 に保持された各参照ブロックに対応した動きベクトルは順次読み出される。そして、読み出された動きベクトル MV が出力端子 1 2 8 に出力される。このように出力される動きベクトル MV は、上述した
10 動き補償回路 1 1 0 (図 5 参照) に供給され、動き補償処理に用いられる。

図 2 5 のフローチャートは、上述した動きベクトル検出回路 1 1 1 における動きベクトル MV の検出処理の手順を示している。

まず、ステップ S T 1 で、処理を開始し、ステップ S T 2 で、メモリ部 1 2 2 の参照フレームメモリ部 1 2 2 a に記憶されている画像信号 D i を読み出し、2
15 の補数変換部 1 2 3 によってストレートバイナリ形式のデータから 2 の補数形式のデータに変換し、その後に探索フレームの画像信号としてメモリ部 1 2 2 の探索フレームメモリ部 1 2 2 b に書き込む。また、ステップ S T 3 で、入力端子 1 2 1 から参照フレームの画像信号 D i を入力し、この画像信号をメモリ部 1 2 2 の参照フレームメモリ 1 2 2 a に書き込む。

20 次に、ステップ S T 4 で、フレームメモリ部 1 2 2 a, 1 2 2 b に対応したメモリセルアレイ部 2 0 a, 2 0 b の各 1 ラインの画素データに係る複数のワード線 W L を同時に活性化するために、その各 1 ラインの画素データ (参照ラインデータ、探索ラインデータ) をメモリセルアレイ部 2 0 a, 2 0 b から読み出し、キャッシュメモリ 1 2 2 c, 1 2 2 d に待避する。

25 次に、ステップ S T 5 で、メモリセルアレイ部 2 0 a, 2 0 b の各 1 ラインの画素データに係る複数のワード線 W L を同時に活性化し、参照ラインデータおよび探索ラインデータ) を同時に読み出し、1 ライン分の差分絶対値を得て、差分絶対値保持部 1 2 4 に保持する。そして、ステップ S T 6 で、キャッシュメモリ 1 2 2 c に待避していた参照ラインデータを参照フレームメモリ部 1 2 2 a に書

き戻す。また、ステップST 7で、キャッシュメモリ 1 2 2 dに待避していた探索ラインデータを、その記憶位置を水平方向（列方向）に移動して、探索フレームメモリ部 1 2 2 bに書き戻す。

5 そして、ステップST 8で、対象となっている参照ラインデータと探索範囲に対応した全ての探索ラインデータとの差分絶対値を得る処理が終了したか否かを判定する。なお、1つの参照ラインデータに関しては、最終的に $s w \times s h$ ライン分の差分絶対値を生成する必要がある（図 1 7 参照）。処理を終了していないときは、ステップST 4に戻って、対象となっている参照ラインデータと、次の探索ラインデータとの差分絶対値を得る処理に移る。

10 ステップST 8で、処理を終了したときは、ステップST 9に進む。ステップST 9では、全ての参照ラインデータにおける差分絶対値を得る処理が終了したか否かを判定する。終了をしていないときは、ステップST 4に戻って、次の参照ラインデータにおける差分絶対値を得る処理に移る。

15 ステップST 9で、処理を終了したときは、ステップST 10に移る。このステップST 10では、差分絶対値保持部 1 2 4 から、対象となっている参照ブロックに関して、この参照ブロックとその探索範囲内の各候補ブロックのそれぞれとの間の差分絶対値和を順次得て、差分絶対値和保持部 1 2 5 に保持する。

20 次に、ステップST 11で、差分絶対値和保持部 1 2 5 に保持された、対象となっている参照ブロックに関する複数の差分絶対値和に基づき、最小の差分絶対値和を発生する候補ブロックの位置を動きベクトルとして検出する。そして、ステップST 12で、この検出された動きベクトルを動きベクトル保持部 1 2 7 に保持する。

25 次に、ステップST 13で、参照フレームの全参照ブロックでの上述した動きベクトルの検出処理が終了したか否かを判定する。終了していないときは、ステップST 10に戻って、次の参照ブロックに対応した動きベクトルを検出する処理に移る。一方、終了したときは、ステップST 14で、動きベクトル保持部 1 2 7 に保持された各参照ブロックに対応した動きベクトルMVを順次出力し、ステップST 15で処理を終了する。

このように本実施の形態においては、メモリ部 1 2 2 で、参照フレームの各画

素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成する。このメモリ部 122 は、参照フレームの画素データをビット線 BL が延びる方向に並ぶ複数のメモリセル ML からなるユニット A にストレー
トバイナリの形式で記憶し、探索フレームの画素データをビット線 BL が延びる
5 方向に並ぶ複数のメモリセル ML からなるユニット B に 2 の補数の形式で記憶し
ておき、これら参照フレーム、探索フレームの画素データに係るワード線 WL を
同時に活性化し、この複数のワード線 WL に接続された複数のメモリセル ML の
キャパシタ C の蓄積電荷を 1 つのビット線 BL 上で結合し、その電荷総量に対応
した値のデジタル信号を差分絶対値として得るものである。

10 したがって、参照フレーム、探索フレームの画素データの差分絶対値を得る処
理が画素データの読み出しと同時にされるものであり、差分絶対値を高速に得
ることができる。また、減算器、絶対値化回路を別個に必要とするものではなく、
安価に構成することができる。

また、本実施の形態においては、差分絶対値保持部 124 で、参照フレームの
15 各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フ
レームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成
する。この差分絶対値保持部 124 は、ビット線 BL が延びる方向に並ぶ複数の
メモリセル ML からなるユニット A のそれぞれに差分絶対値を記憶しておき、複
数の差分絶対値に係るワード線 WL を同時に活性化し、この複数のワード線 WL
20 に接続された複数のメモリセル ML のキャパシタ C の蓄積電荷を 1 つのビット線
BL 上で結合し、その電荷総量に対応した値のデジタル信号を差分絶対値和とし
て得るものである。したがって、複数の差分絶対値の加算が差分絶対値の読み出
しと同時にされるものであり、差分絶対値和を高速に得ることができる。また、
加算器を別個に必要とするものではなく、安価に構成することができる。

25 また、本実施の形態においては、A/D コンバータ 53 で階調変換を行うこと
ができるため、例えば A/D コンバータ 53 がその出力デジタル信号のビット数
を変更できるものであれば、専用の回路を設けることなく、階調操作を容易に行
うことができる。

また、本実施の形態においては、メモリ部 122 で、参照フレームの各画素毎

に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成し、次に差分絶対値保持部 124 で、この生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成し、そして参照フレームの各参照ブロック毎に、生成された複数の差分絶対値和に基づいて、この参照ブロックに対応した動きベクトルを検出するものである。したがって、動きベクトルの検出を高速に、かつ安価に行い得るようになる。

10 なお、上述実施の形態においては、メモリセルアレイ 20, 70 のメモリセル ML が DRAM 構造であるものを示したが、この発明はこれに限定されるものではない。要は、1 つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を結合し得るものであればよい。

15 また、上述実施の形態においては、動きベクトル検出に適用したものであり、第 1 のフレームが参照フレーム、第 2 のフレームが探索フレームであるものを示したが、この発明はこれに限定されるものではない。

また、上述実施の形態においては、8 個または 9 個のメモリセル ML で 1 つのデータを記憶するユニット A あるいはユニット B が構成されるものを示したが、ユニット A あるいはユニット B を構成するメモリセル ML の個数はこれに限定されるものではない。

20 上述実施の形態では、各ビットのデータを記憶するメモリセル ML のキャパシタ C の容量を、そのビットの重みに対応した大きさにすることで、8 ビットのデータを記憶するユニット A を 8 個のメモリセル ML のみで構成可能としている。しかし、メモリセル ML のキャパシタ C の容量が全て同じであるとした場合、2⁵ 6 階調の電荷量の蓄積を可能とする必要があることから、2⁸ - 1 個のメモリセル ML でユニット A を構成できる。これは、ユニット B においても、同様である。

25 また、例えば 8 ビットのデータを記憶するユニット A は、8 個のメモリセル ML ではなく、これより少ないメモリセル ML で構成することもできる。例えばユニット A を 4 個のメモリセル ML で構成することもできる。その場合、各メモリセル ML のキャパシタ C には、それぞれ 2 ビット分の電荷が蓄積される。

例えば、8ビットのデータが「10000101」である場合、LSB側から、1番目のメモリセルMLには「01」、つまり10進数で「1」に相当する電荷量の電荷を蓄積し、2番目のメモリセルMLには「0100」、つまり10進数で「4」に相当する電荷量の電荷を蓄積し、3番目のメモリセルMLには「00000000」、つまり10進数で「0」に相当する電荷量の電荷を蓄積し、4番目のメモリセルMLには「100000000」、つまり10進数で「128」に相当する電荷量の電荷を蓄積すればよい。この場合、4個のメモリセルMLのキャパシタCの容量は、1番目のメモリセルMLのキャパシタCの容量をpとした場合、2番目は4p、3番目は16p、4番目は64pとすればよい。

また、上述実施の形態においては、各ユニットAに2進データを記憶するものを示したが、各ユニットAのメモリセルMLにn進の各桁のデータを記憶すれば、n進の演算を行うこともできる。この場合、各ユニットAのメモリセルMLのキャパシタCに、該当する桁の値に応じた電荷量を蓄積することでデータの記憶が可能となる。

例えば、10進数で「235」のデータを記憶する場合、1の桁を記憶するメモリセルMLのキャパシタCには、「5」に相当する電荷量の電荷を蓄積し、10の桁を記憶するメモリセルMLのキャパシタCには、「 3×10 」に相当する電荷量の電荷を蓄積し、100の桁を記憶するメモリセルMLのキャパシタCには、「 2×100 」に相当する電荷量の電荷を蓄積すればよい。勿論、各桁に対応したメモリセルMLのキャパシタCは、それぞれの桁の最大蓄積電荷量を蓄積できるだけの容量を持つことが必要となる。

また、上述実施の形態においては、演算の例として加算および減算を示したが、各ユニットに入力するデータの形式、配置等を工夫することで、乗算や除算なども行うことができる。例えば、 $M \times N$ の乗算は、MをN個のユニットにコピーしておき、その後はこのN個のユニットについて上述した加算演算を行えばよい。

この発明に係るメモリ装置は、複数のワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とするものであり、データの読み出しと演算の同時処理を可能にし、演算速度の向上、

演算器の削減によるコスト低減を図ることができる。

また、この発明に係るメモリ装置は、第1のフレームの画素データをビット線が延びる方向に並ぶ複数のメモリセルからなるユニットにストレートバイナリの形式で記憶し、第2のフレームの画素データをビット線が延びる方向に並ぶ複数のメモリセルからなるユニットに2の補数の形式で記憶しておき、この第1、第2のフレームの画素データに係るワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力するものであり、第1、第2のフレームの画素データの差分データを高速に、かつ安価に得ることができる。

また、この発明に係るメモリ装置は、ビット線が延びる方向に並ぶ複数のメモリセルからなるユニットのそれぞれにデータを記憶しておき、複数のデータに係るワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力するものであり、複数のデータの加算データを高速に、かつ安価に得ることができる。

また、この発明に係る動きベクトルの検出装置および検出方法は、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成し、この生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成し、参照フレームの各参照ブロック毎に、生成された複数の差分絶対値和に基づいて、この参照ブロックに対応した動きベクトルを検出するものであり、動きベクトルの検出を高速に、かつ安価に行い得る。

25

産業上の利用可能性

以上のように、この発明に係るメモリ装置、動きベクトルの検出装置および検出方法は、例えば動き補償予測符号化装置で動きベクトルを検出する用途等に適用できる。

請求の範囲

1. 1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を結合し得るメモリ装置であって、

5 複数のワード線を同時に活性化する活性化手段と、

上記活性化手段で活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷が結合されて上記1つのビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段と

を備えることを特徴とするメモリ装置。

10

2. 上記信号出力手段は、

上記電荷総量を、該電荷総量に対応した値の電圧信号に変換する電圧変換手段と、

上記電圧変換手段で変換された電圧信号をアナログ信号からデジタル信号に変

15 換するアナログーデジタル変換手段とを有してなる

ことを特徴とする請求の範囲第1項に記載のメモリ装置。

3. 上記1つのビット線に接続される複数のメモリセルは、キャパシタの容量が異なるものを含む

20 ことを特徴とする請求の範囲第1項に記載のメモリ装置。

4. 上記活性化手段は、

2つ以上のデータに係る複数のワード線を同時に活性化する

ことを特徴とする請求の範囲第1項に記載のメモリ装置。

25

5. 1つのデータがNビット（Nは正の整数）のデータであるとき、該1つのデータに係るワード線はN本であり、

上記N本のワード線に接続されたN個のメモリセルのキャパシタは、上記Nビットのデータの各ビットの重みに対応した容量を持つ

ことを特徴とする請求の範囲第4項に記載のメモリ装置。

6. 各データに係る複数のワード線に接続される複数のメモリセルからなるユニットには、それぞれ加算すべきデータが記憶される

5 ことを特徴とする請求の範囲第4項に記載のメモリ装置。

7. 各データに係る複数のワード線に接続される複数のメモリセルからなるユニットには、それぞれ被減数データまたは減数データが記憶される

ことを特徴とする請求の範囲第4項に記載のメモリ装置。

10

8. 上記被減数データはストレートバイナリ形式のデータであり、上記減数データは2の補数形式のデータである

ことを特徴とする請求の範囲第7項に記載のメモリ装置。

15 9. それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、第1のフレームの画像信号を記憶する第1のフレームメモリ部と、

それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、第2のフレームの画像信号を記憶する第2のフレームメモ

20 リ部とを備え、

上記第1のフレームメモリ部および上記第2のフレームメモリ部は上記ビット線が延びる方向である行方向に連続して形成され、

上記第1のフレームメモリ部および上記第2のフレームメモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、

25

上記第1のフレームメモリ部および上記第2のフレームメモリ部は、それぞれのビット線に接続される複数のメモリセルが所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、該分割された各ユニットにそれぞれ1個の画素データが記憶され、

上記第1のフレームメモリ部の上記各ユニットには、それぞれ上記第1のフレームの画像信号を構成する画素データがストレートバイナリの形式で記憶され、
上記第2のフレームメモリ部の上記各ユニットには、それぞれ上記第2のフレームの画像信号を構成する画素データが2の補数の形式で記憶され、

- 5 上記第1のフレームメモリ部の所定データに係る複数のワード線および上記第2のフレームメモリ部の所定データに係る複数のワード線を同時に活性化する活性化手段と、

複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、

上記ビット線選択手段で選択されたビット線上に得られた電荷総量に対応した

- 10 値のデジタル信号を出力する信号出力手段とをさらに備える

ことを特徴とするメモリ装置。

10. 上記活性化手段で活性化されるワード線に対応して上記第1のフレームメモリ部および上記第2のフレームメモリ部にそれぞれ記憶されている1ライン分の画素データを待避しておく待避手段をさらに備える

15

ことを特徴とする請求の範囲第9項に記載のメモリ装置。

11. 上記第1のフレームメモリ部または上記第2のフレームメモリ部に記憶されている画素データの記憶位置を列方向に移動する記憶位置移動手段をさらに備

20 える

ことを特徴とする請求の範囲第9項に記載のメモリ装置。

12. 1つの画素データがNビット（Nは正の整数）のデータであるとき、該1つの画素データに係るワード線はN本であり、上記N本のワード線に接続されたN個のメモリセルのキャパシタは、上記Nビットのデータの各ビットの重みに対応した容量を持つ

25

ことを特徴とする請求の範囲第9項に記載のメモリ装置。

13. それぞれビット線およびワード線に接続され、マトリクス状に配された複

数のメモリセルからなるメモリ部を備え、

上記メモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、

5 上記メモリ部は、それぞれのビット線に接続される複数のメモリセルが、所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、該分割された各ユニットにそれぞれ1個のデータが記憶され、

複数のデータに係るワード線を同時に活性化する活性化手段と、

複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、

10 上記ビット線選択手段で選択されたビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とをさらに備える

ことを特徴とするメモリ装置。

14. 1つのデータがNビット（Nは正の整数）のデータであるとき、該1つのデータに係るワード線はN本であり、上記N本のワード線に接続されたN個のメモリセルのキャパシタは、上記Nビットのデータの各ビットの重みに対応した容量を持つ

ことを特徴とする請求の範囲第13項に記載のメモリ装置。

20 15. 上記メモリ部は、上記ビット線が延びる方向である行方向には1フレームの複数の画素位置に対応した個数のユニットを有し、上記ワード線が延びる方向である列方向には探索位置に対応した個数のユニットを有し、

上記メモリ部の各行の複数のユニットには、それぞれ対応する参照フレームの画素位置の画素データと探索フレームの複数の探索位置の画素データとの差分絶対値のデータが記憶され、

25 上記活性化手段は、上記参照フレームの参照ブロックを構成する各画素の画素位置に対応するユニットに係るワード線を同時に活性化する

ことを特徴とする請求の範囲第13項に記載のメモリ装置。

16. 参照フレームの画像信号および探索フレームの画像信号を用い、上記参照

フレームの各画素毎に、その画素データと上記探索フレームの複数の探索位置の画素データとの差分絶対値を生成する差分絶対値生成手段と、

上記差分絶対値生成手段で生成された差分絶対値を用いて、上記参照フレームの各参照ブロック毎に、該参照ブロックと該参照ブロックに対応した上記探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成する差分絶対値和生成手段と、

上記参照フレームの各参照ブロック毎に、上記差分絶対値和生成手段で生成された複数の差分絶対値和に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出手段と

10 を備えることを特徴とする動きベクトル検出装置。

17. 上記差分絶対値生成手段は、

それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、上記参照フレームの画像信号を記憶する第1のフレームメモリ部と、

それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、上記探索フレームの画像信号を記憶する第2のフレームメモリ部とを備え、

上記第1のフレームメモリ部および上記第2のフレームメモリ部は上記ビット線が延びる方向である行方向に連続して形成され、

上記第1のフレームメモリ部および上記第2のフレームメモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、

上記第1のフレームメモリ部および上記第2のフレームメモリ部は、それぞれのビット線に接続される複数のメモリセルが、所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、該分割された各ユニットにそれぞれ1個の画素データが記憶され、

上記第1のフレームメモリ部の上記各ユニットには、それぞれ上記参照フレームの画像信号を構成する画素データがストレートバイナリの形式で記憶され、上

記第2のフレームメモリ部の上記各ユニットには、それぞれ上記探索フレームの画像信号を構成する画素データが2の補数の形式で記憶され、

上記第1のフレームメモリ部の所定データに係る複数のワード線および上記第2のフレームメモリ部の所定データに係る上記複数のワード線を同時に活性化する活性化手段と、

上記第1のフレームメモリ部または上記第2のフレームメモリ部に記憶されている画素データの記憶位置を列方向に移動する記憶位置移動手段と、

複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、

上記ビット線選択手段で選択されたビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とをさらに備える

ことを特徴とする請求の範囲第16項に記載の動きベクトル検出装置。

18. 差分絶対値和生成手段は、

それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなるメモリ部を備え、

上記メモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、

上記メモリ部は、それぞれのビット線に接続される複数のメモリセルが、所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、

上記メモリ部は、上記ビット線が延びる方向である行方向には1フレームの複数の画素位置に対応した個数のユニットを有し、上記ワード線が延びる方向である列方向には探索位置に対応した個数のユニットを有し、

上記メモリ部の各行の複数のユニットには、それぞれ対応する参照フレームの画素位置の画素データと探索フレームの複数の探索位置の画素データとの差分絶対値のデータが記憶され、

上記参照フレームの参照ブロックを構成する各画素の画素位置に対応するユニットに係るワード線を同時に活性化する活性化手段と、

複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、

上記ビット線選択手段で選択されたビット線上に得られた電荷総量に対応した

値のデジタル信号を出力する信号出力手段とをさらに備える

ことを特徴とする請求の範囲第16項に記載の動きベクトル検出装置。

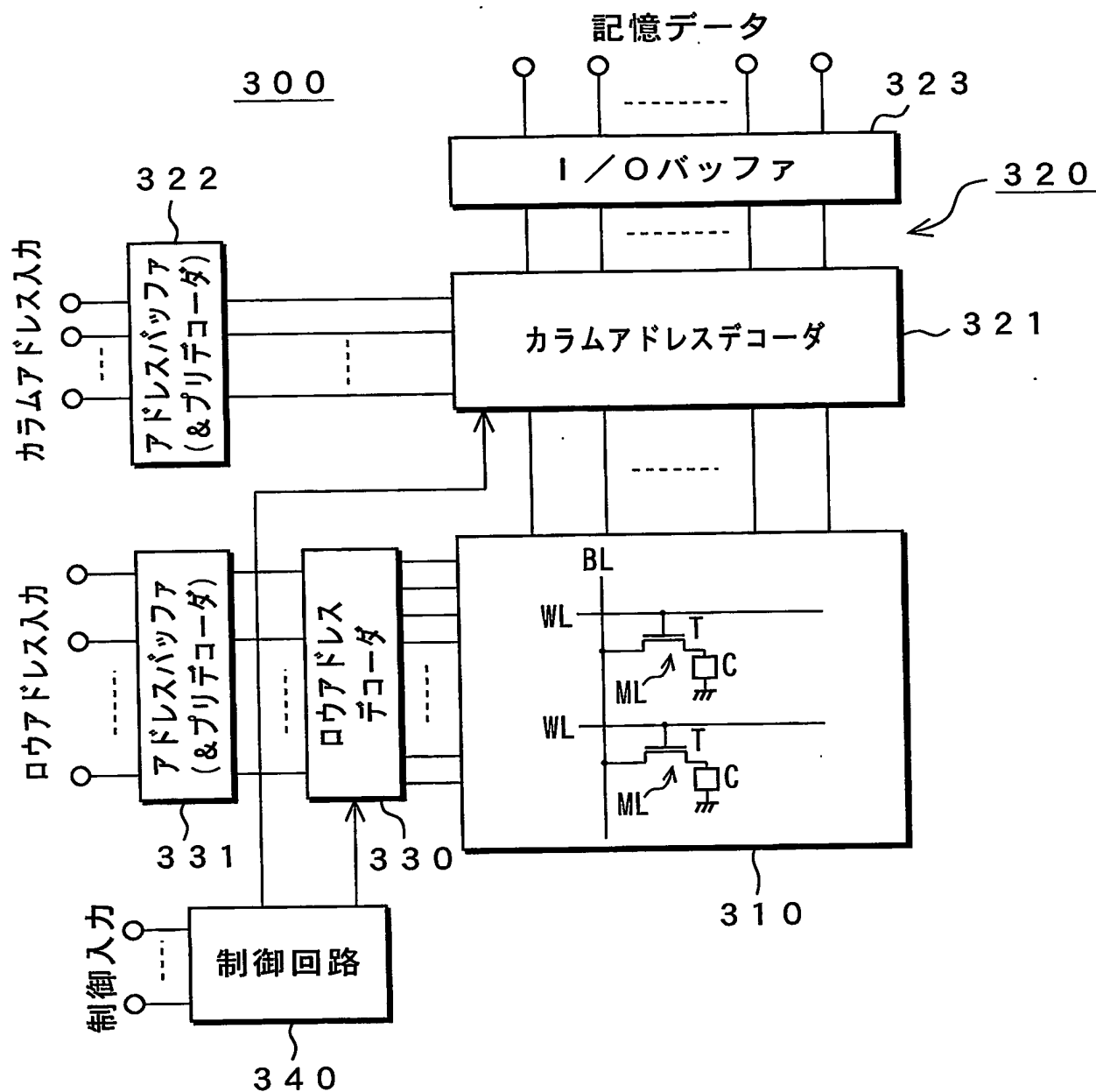
19. 参照フレームの画像信号および探索フレームの画像信号を用い、上記参照
5 フレームの各画素毎に、その画素データと上記探索フレームの複数の探索位置の
画素データとの差分絶対値を生成する工程と、

上記生成された差分絶対値を用いて、上記参照フレームの各参照ブロック毎に、
該参照ブロックと該参照ブロックに対応した上記探索フレームの探索範囲内の複
数の候補ブロックのそれぞれとの間の差分絶対値和を生成する工程と、

- 10 上記参照フレームの各参照ブロック毎に、上記生成された複数の差分絶対値和
に基づいて、上記参照ブロックに対応した動きベクトルを検出する工程と
を備えることを特徴とする動きベクトル検出方法。

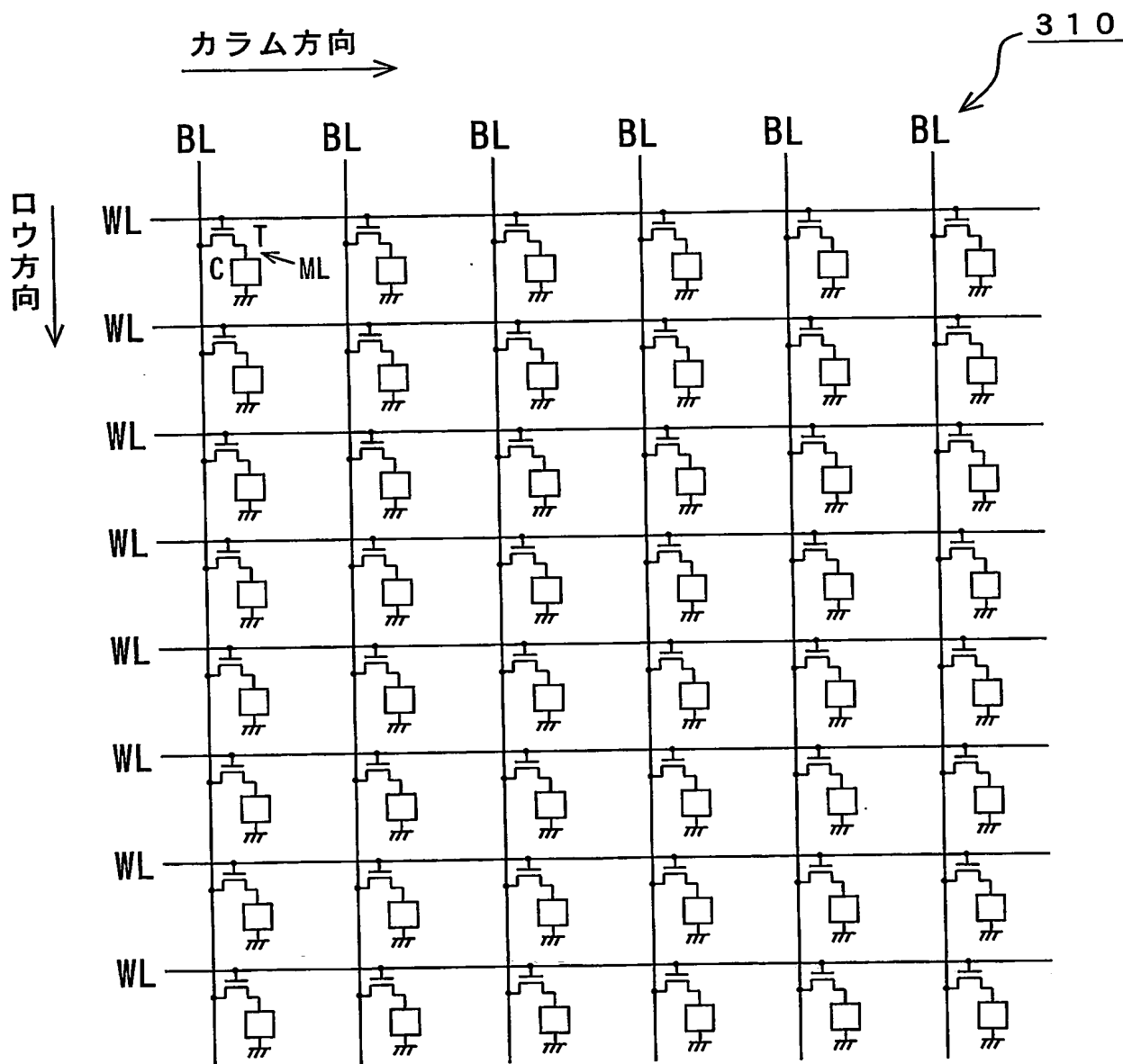
1 / 2 3

FIG. 1



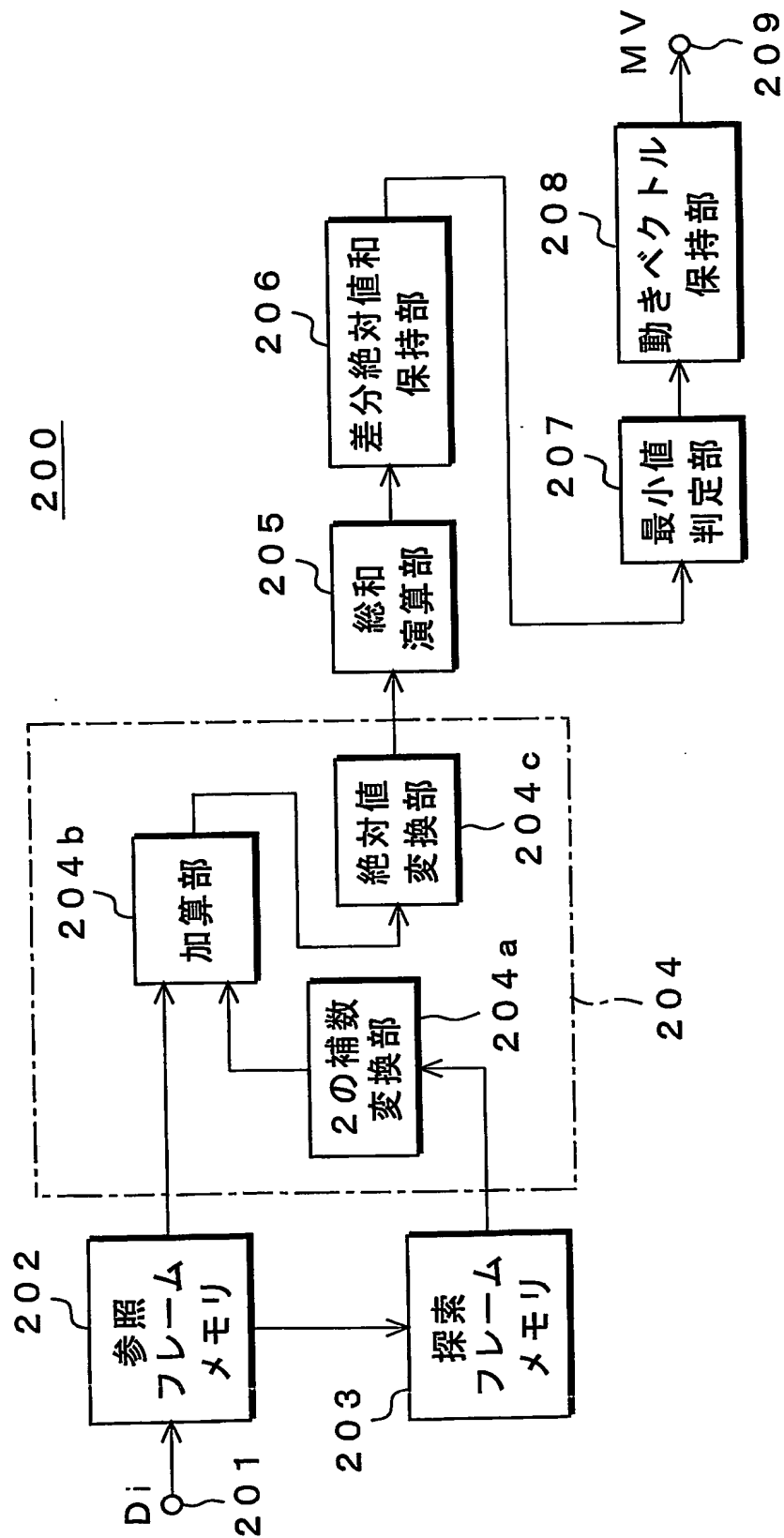
2 / 2 3

F I G . 2



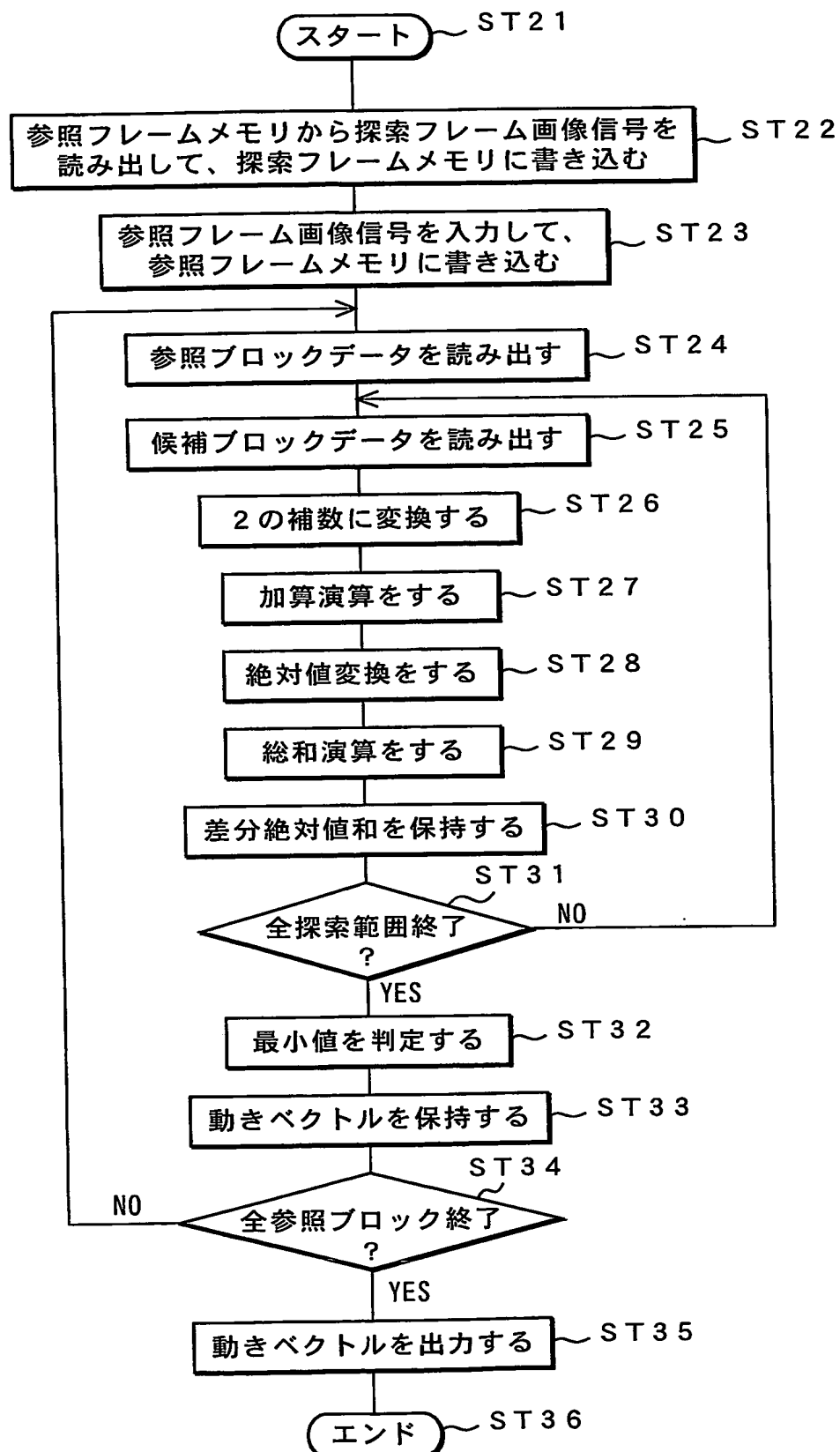
3 / 2 3

FIG. 3



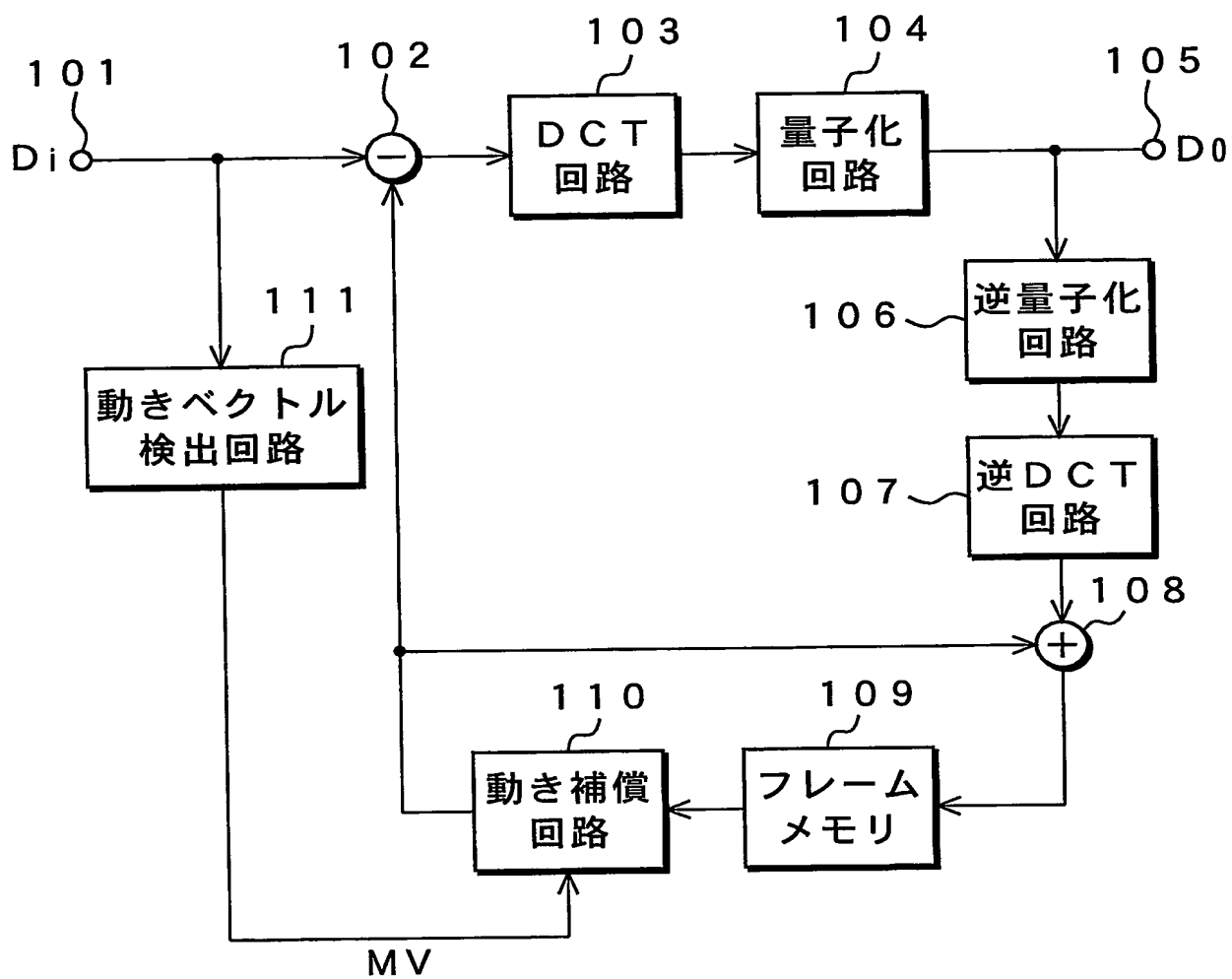
4 / 2 3

FIG. 4

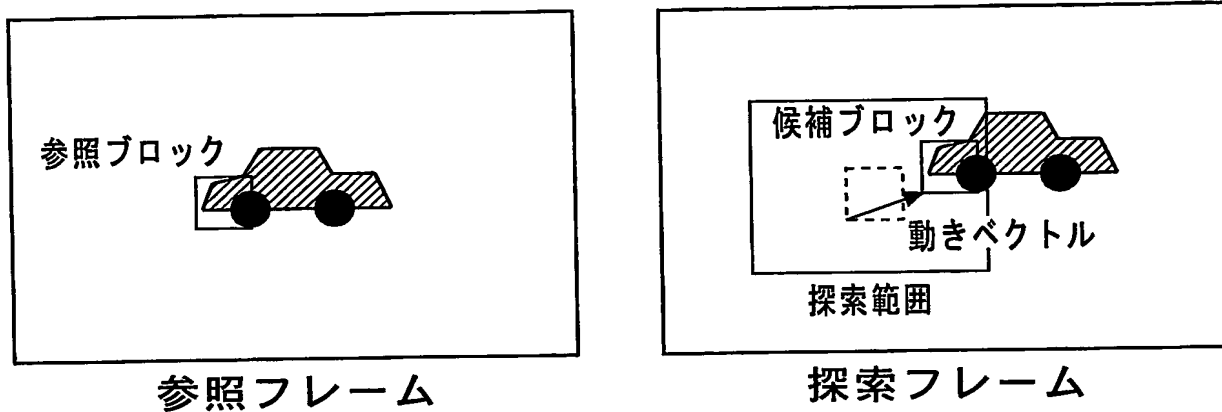


5 / 2 3

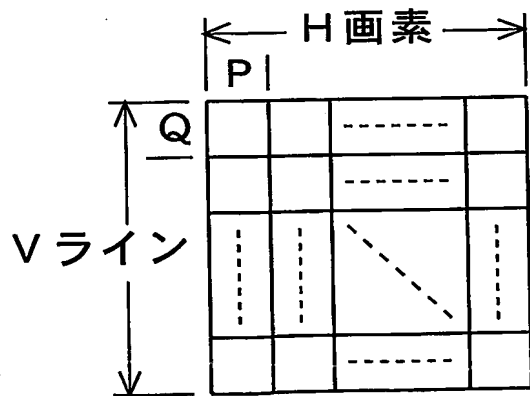
FIG. 5

100

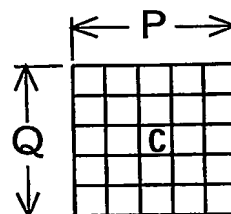
F I G . 6



F I G . 7 A



F I G . 7 B



7 / 2 3

FIG. 8A

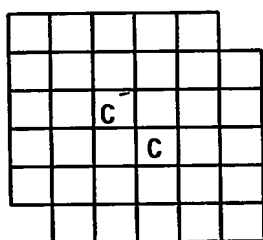


FIG. 8B

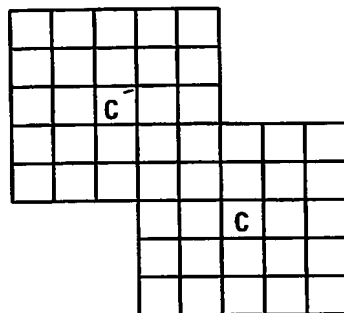


FIG. 8C

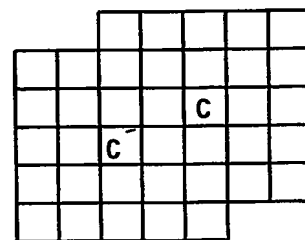
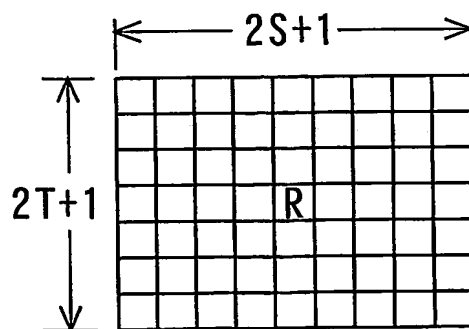


FIG. 9



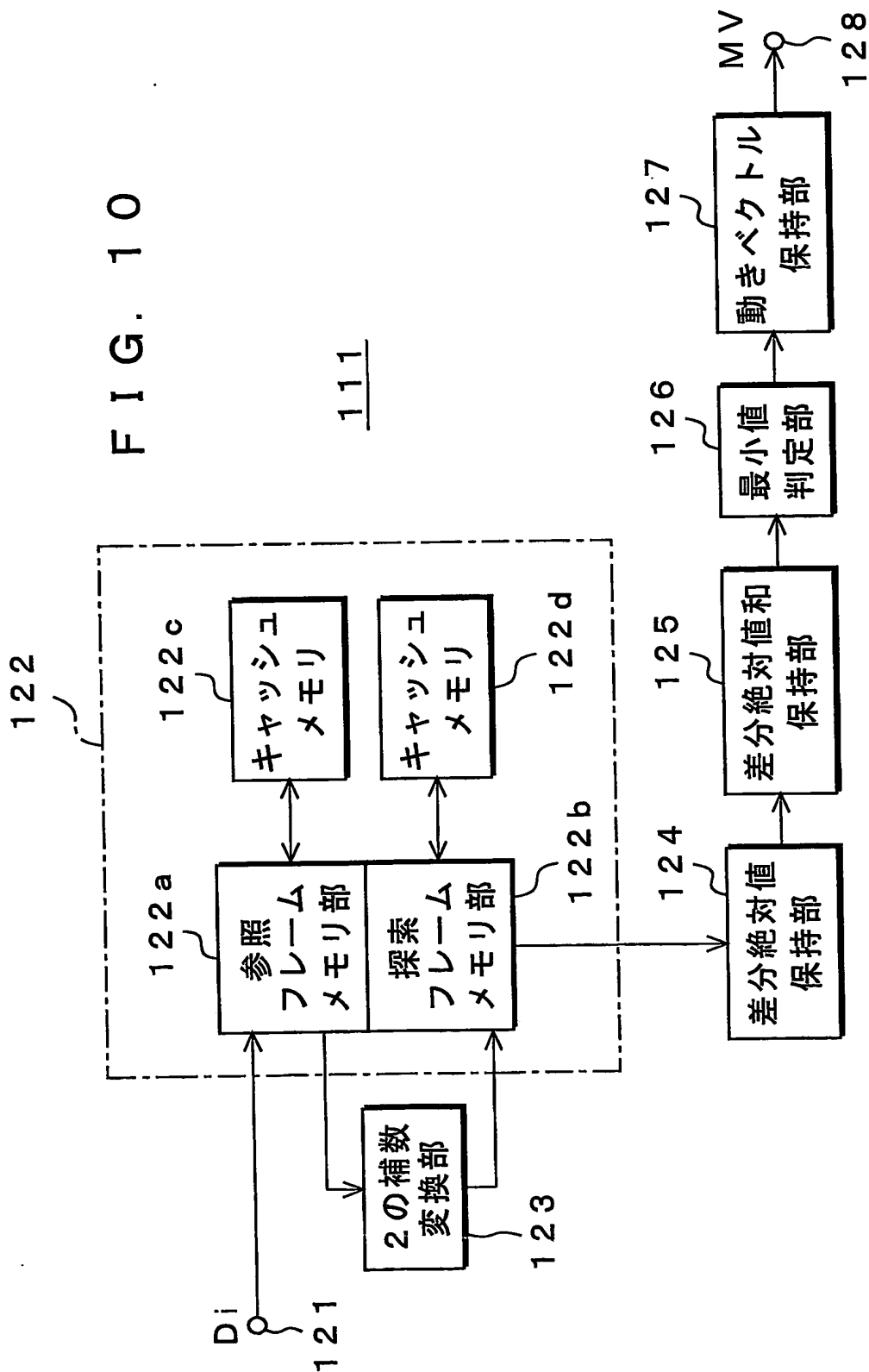
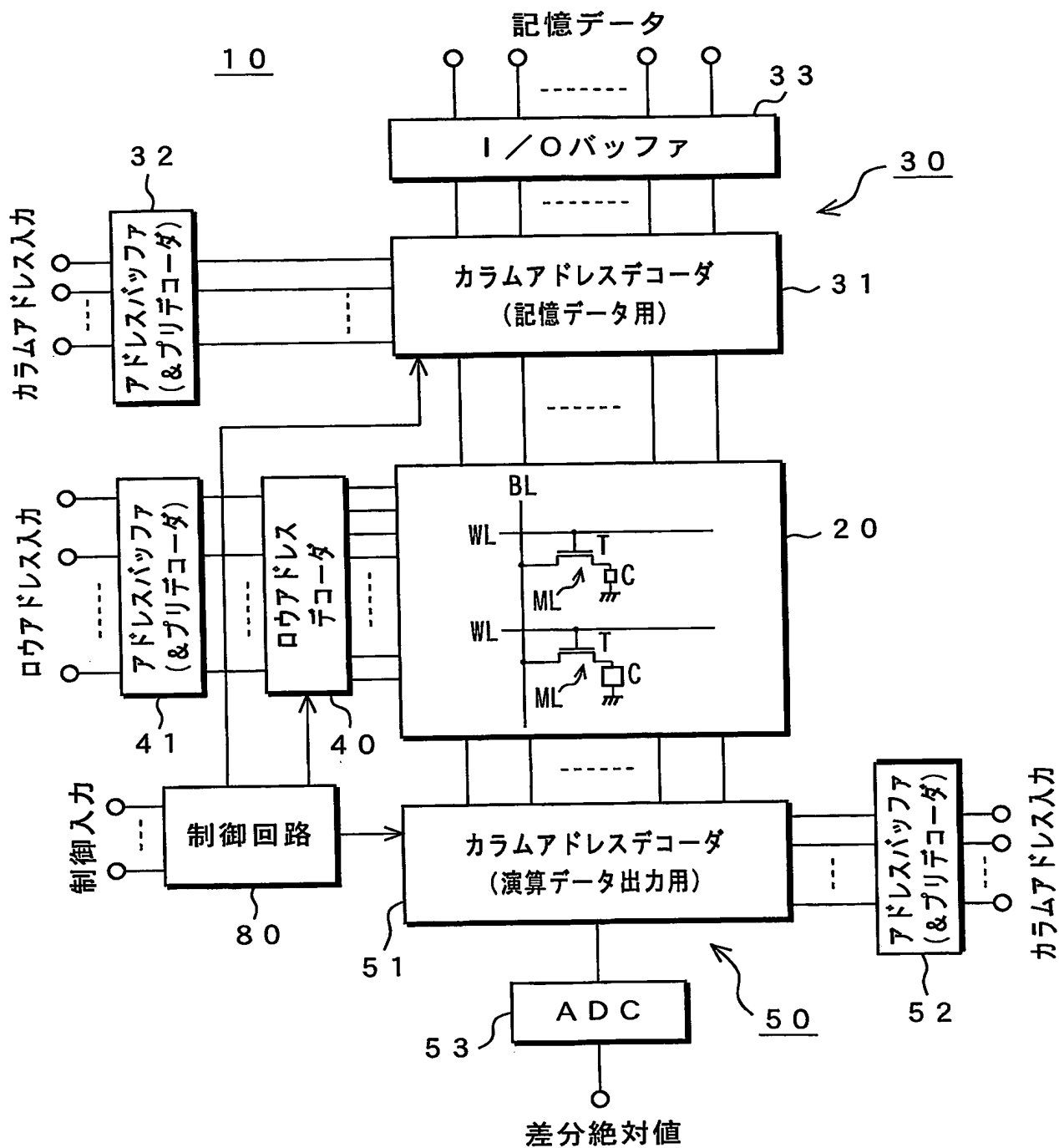


FIG. 11



10/23

FIG. 12

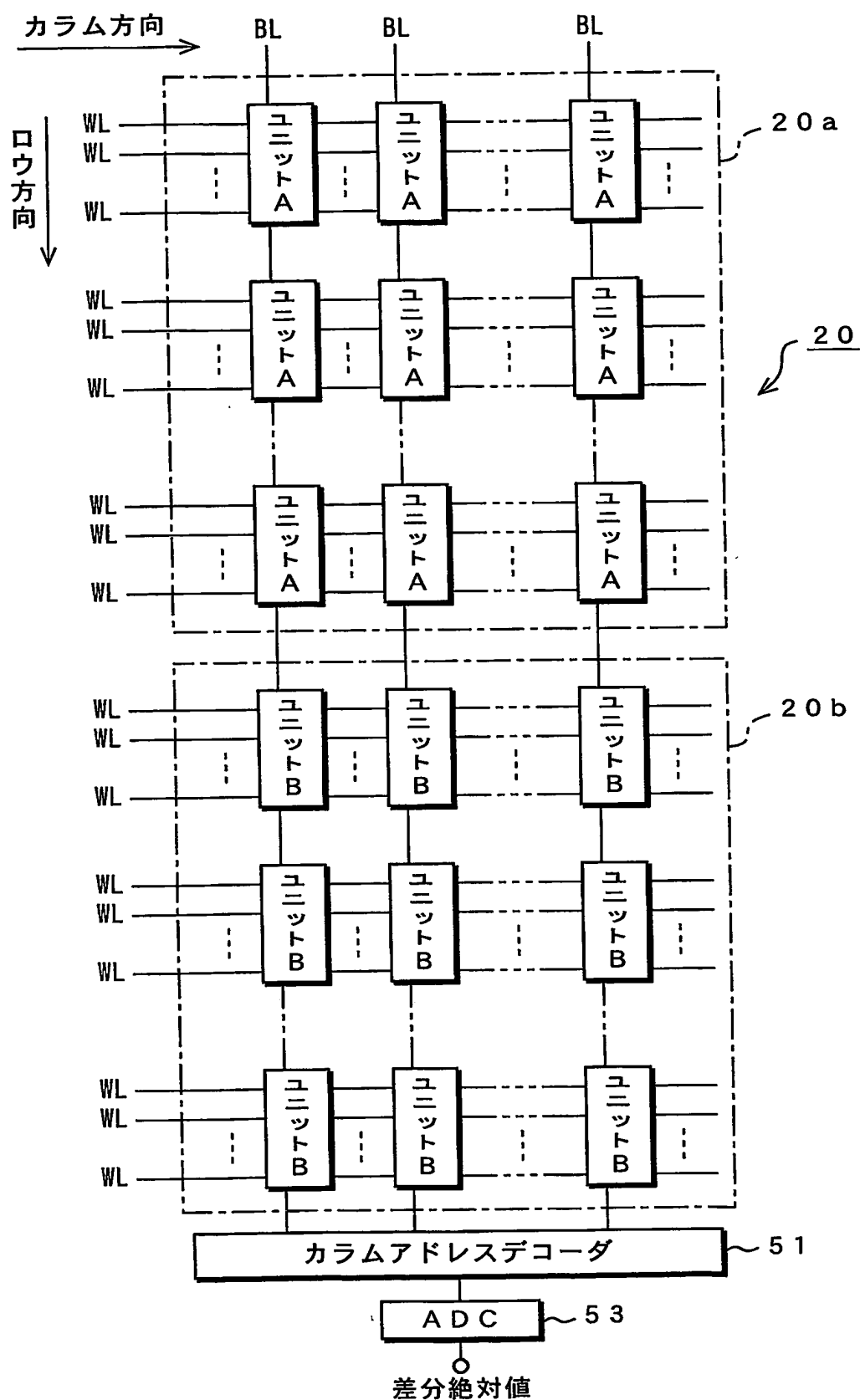


FIG. 13A

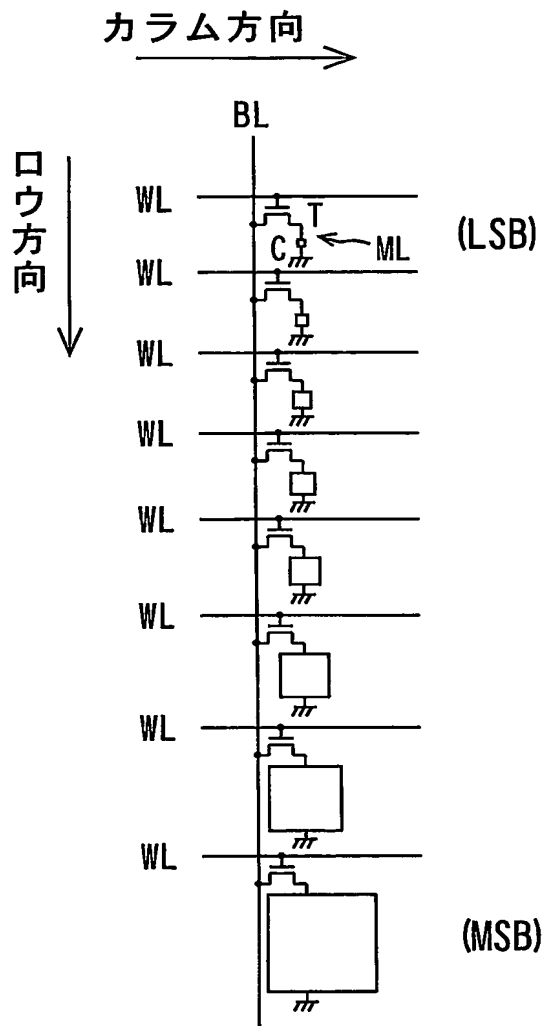
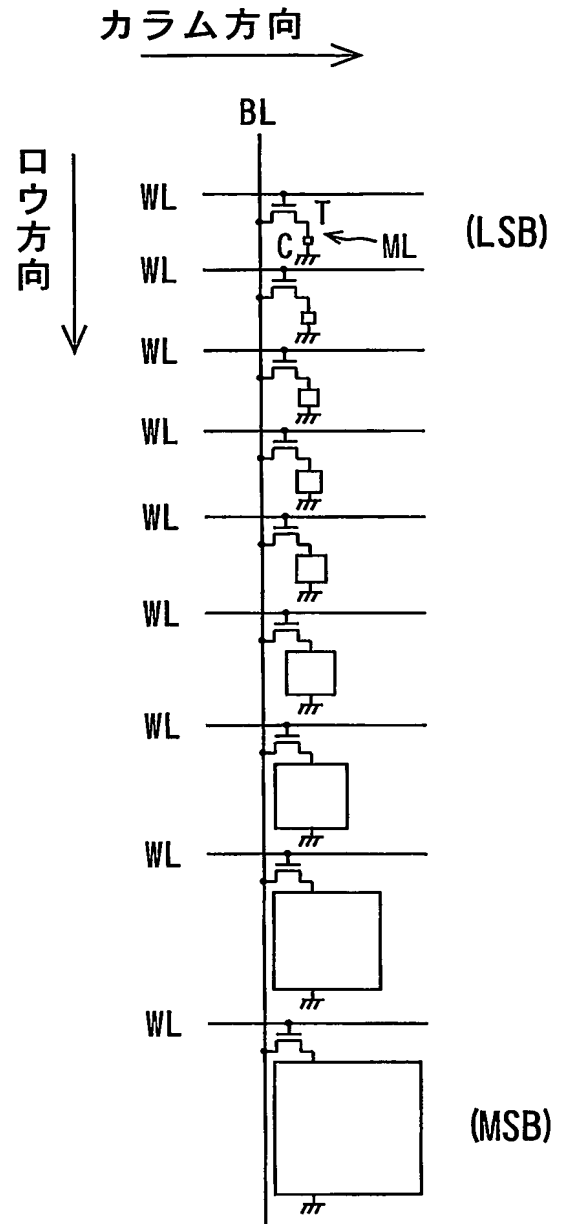
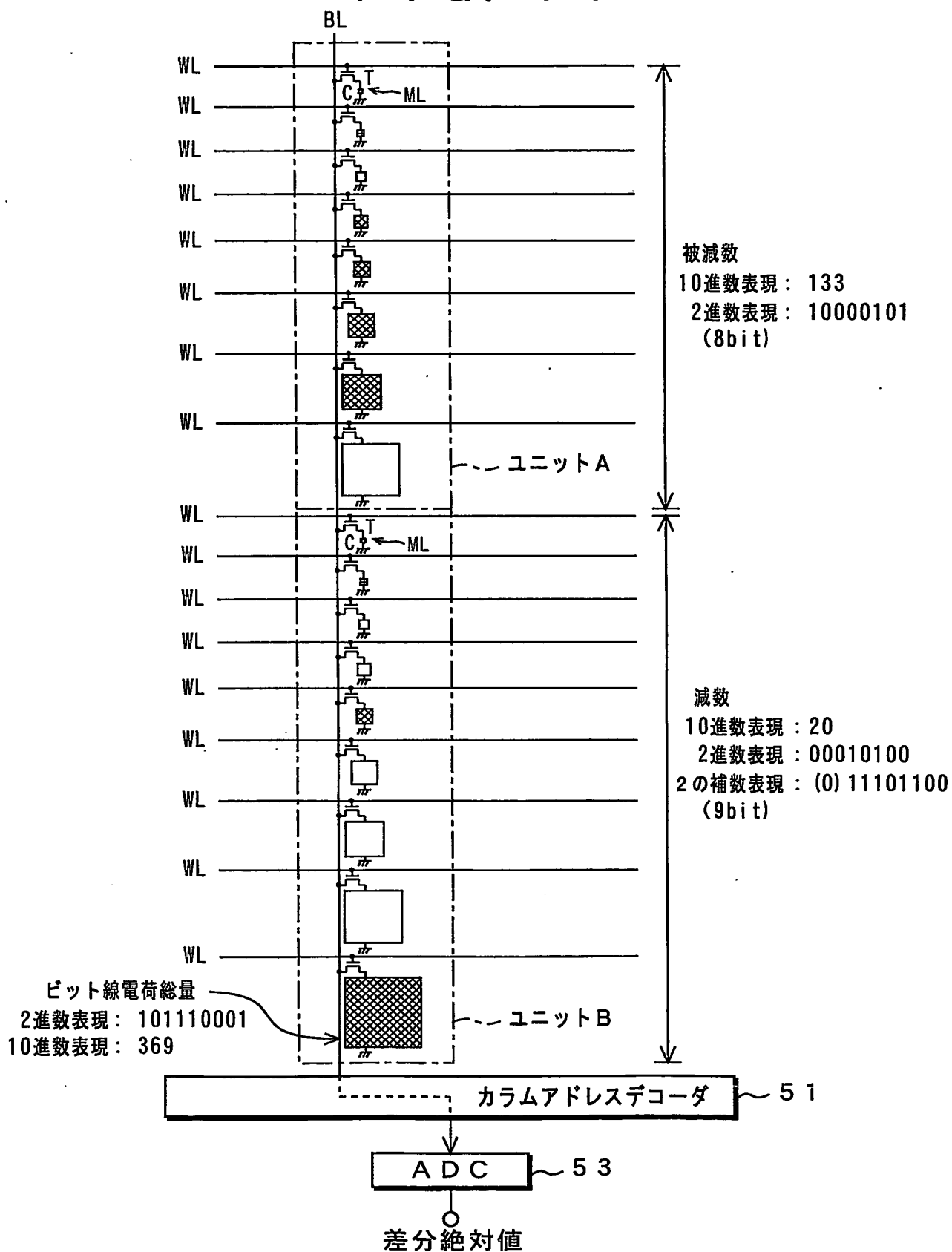


FIG. 13B

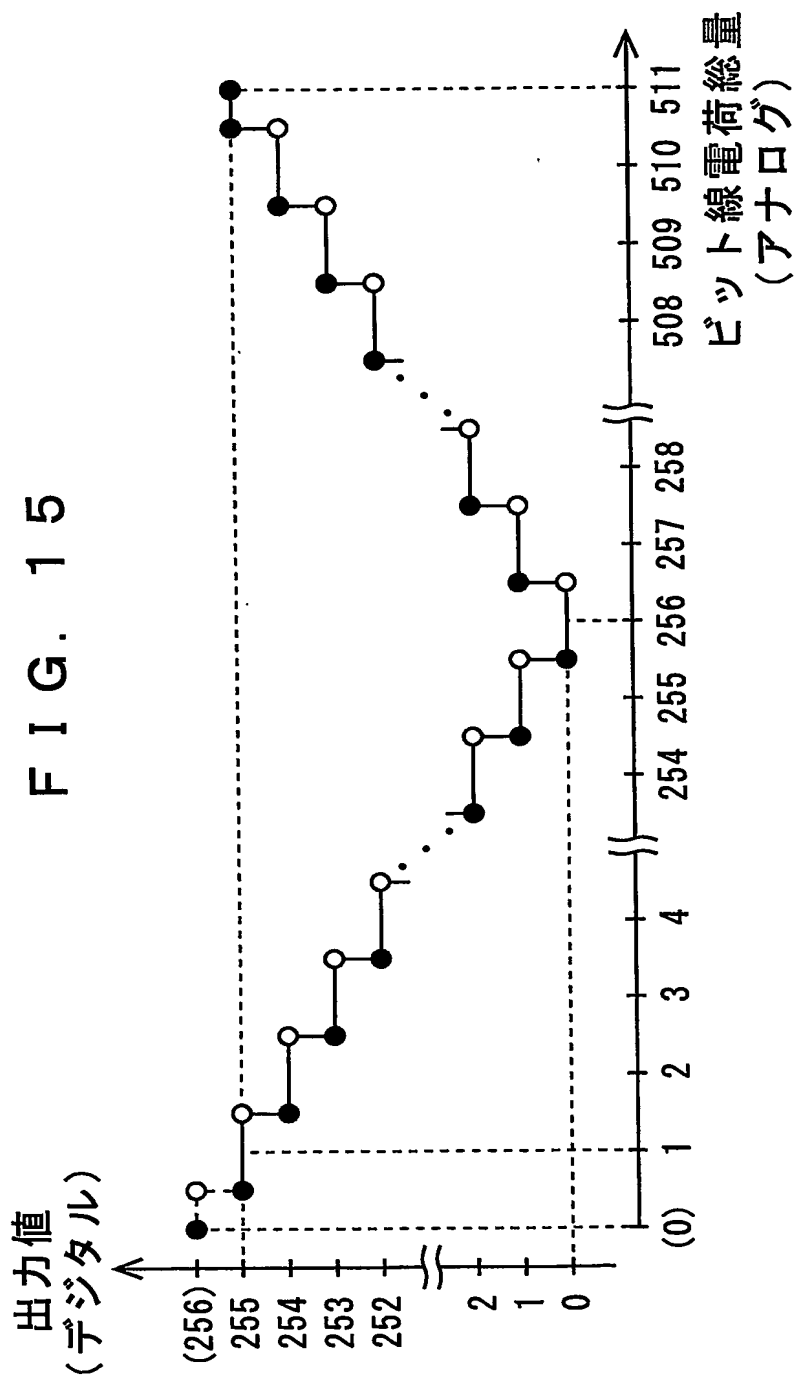


1 2 / 2 3

FIG. 14



1 3 / 2 3



1 4 / 2 3

F I G . 1 6

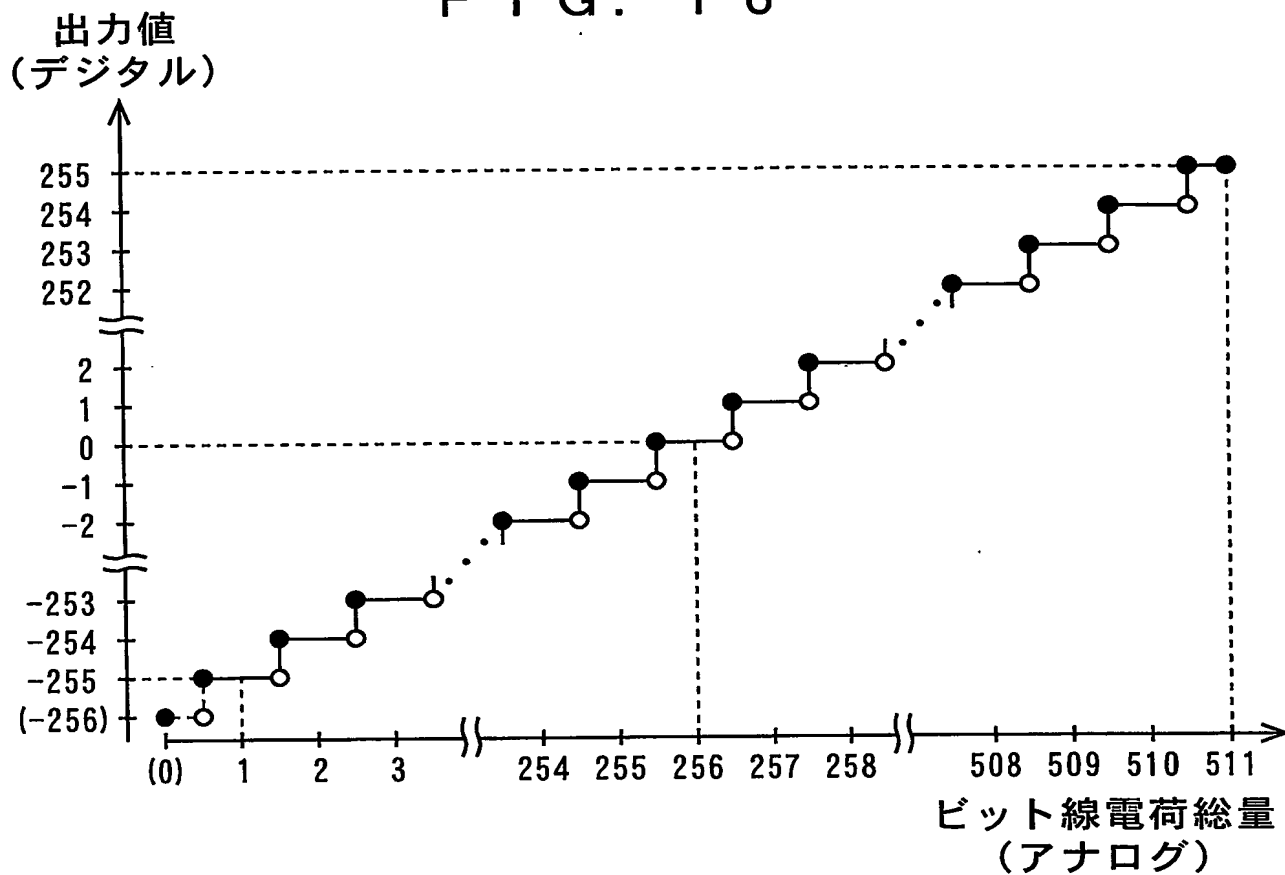
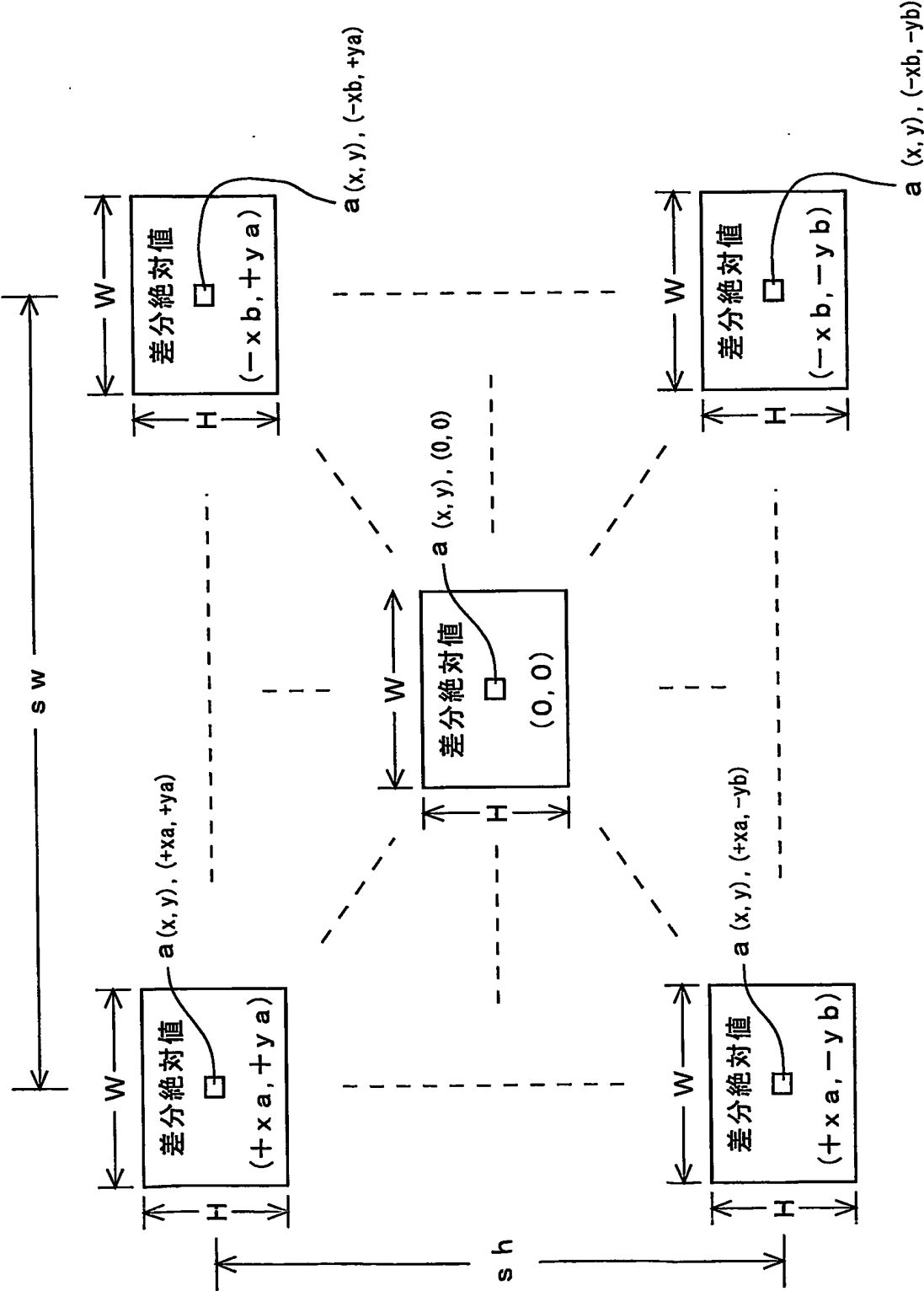
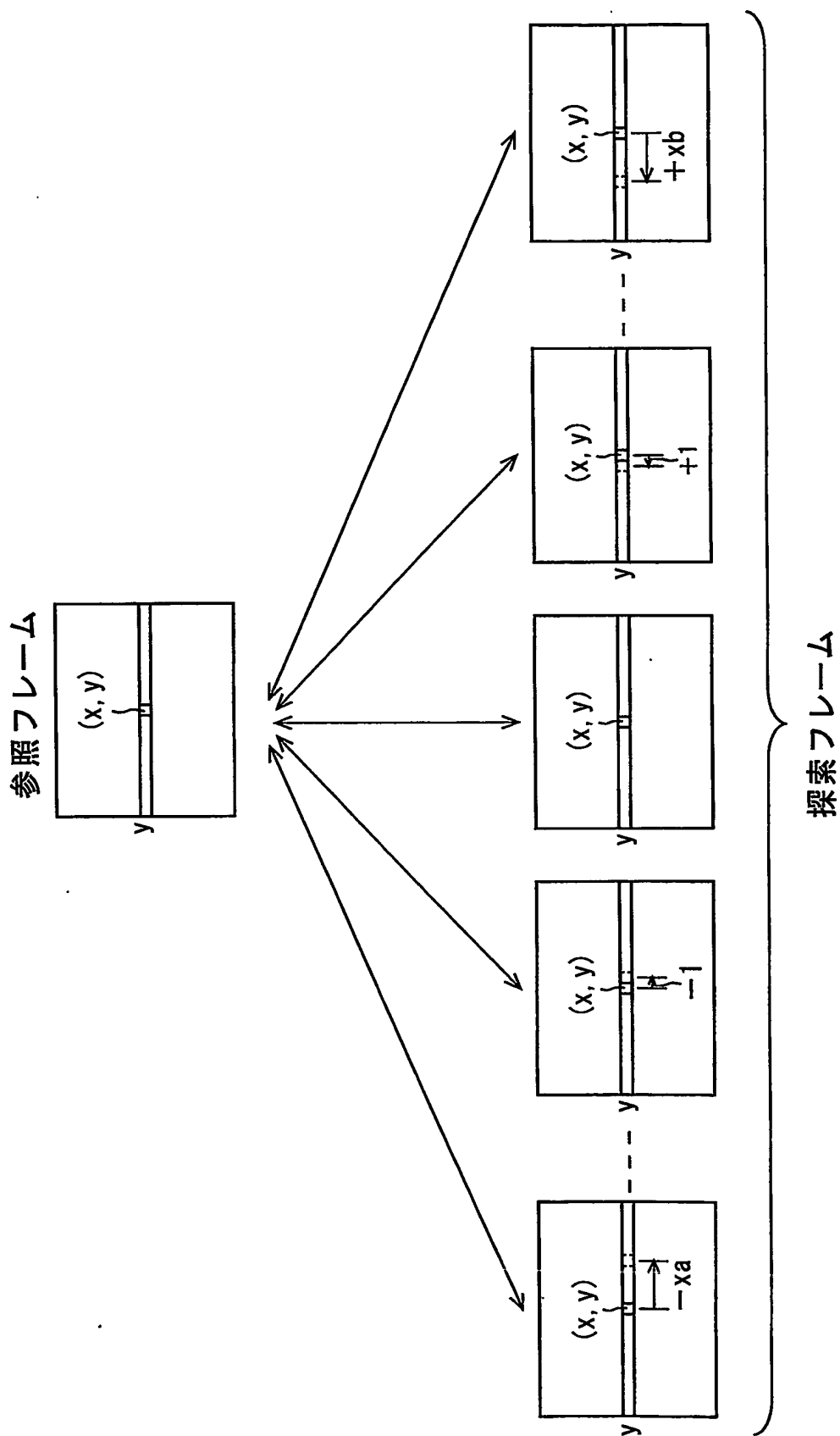


FIG. 17



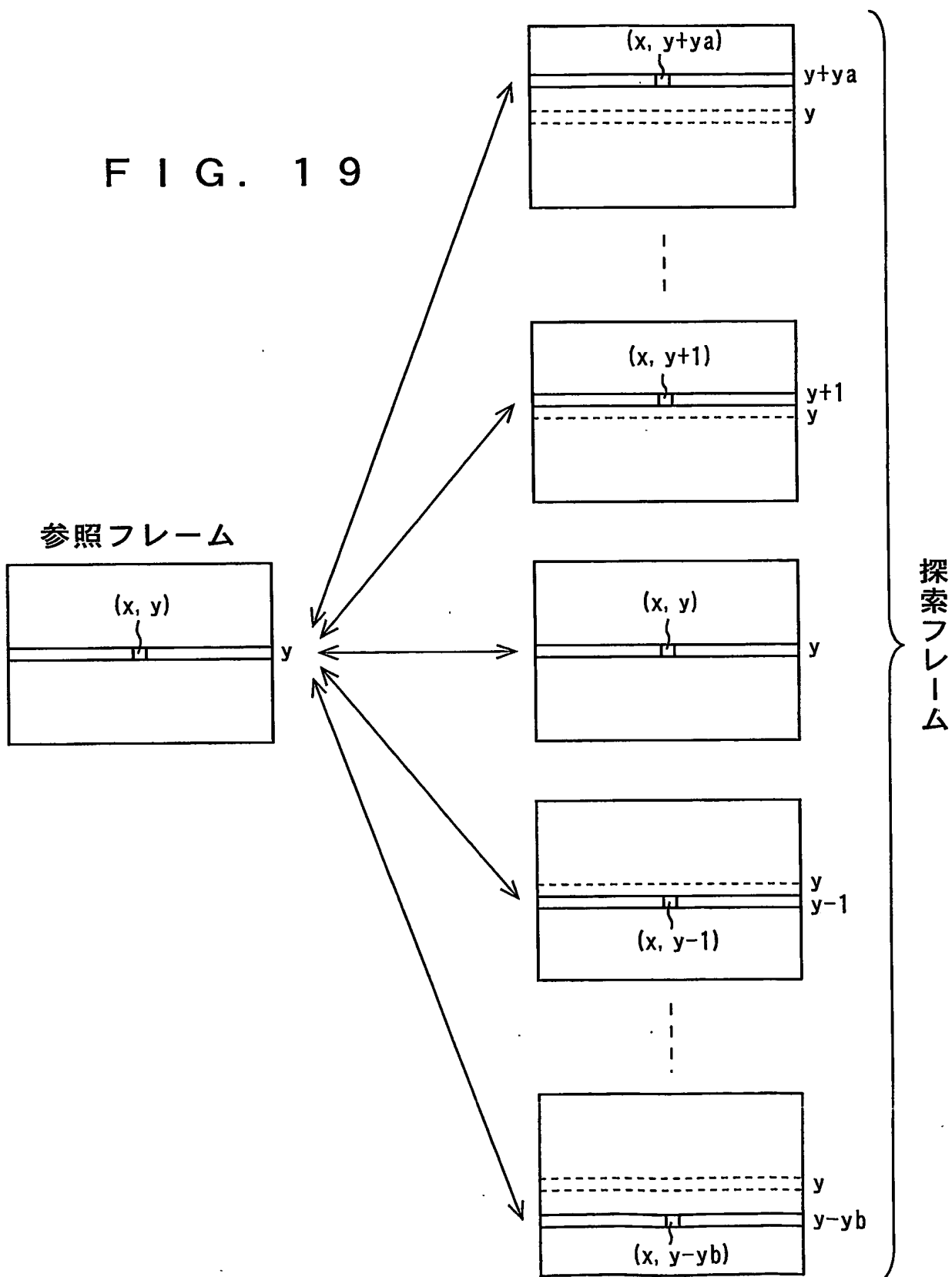
1 6 / 2 3

FIG. 18



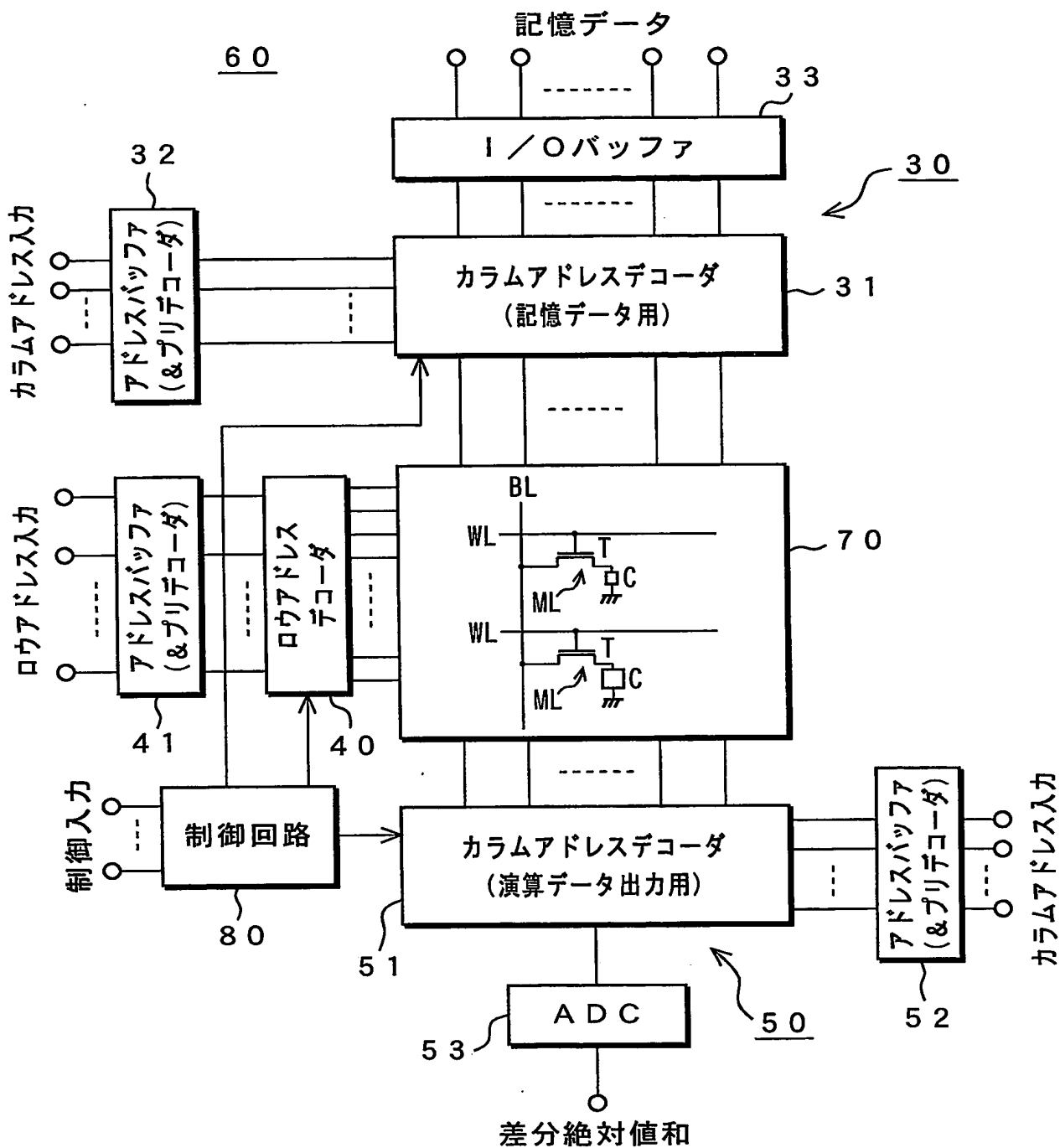
17 / 23

FIG. 19



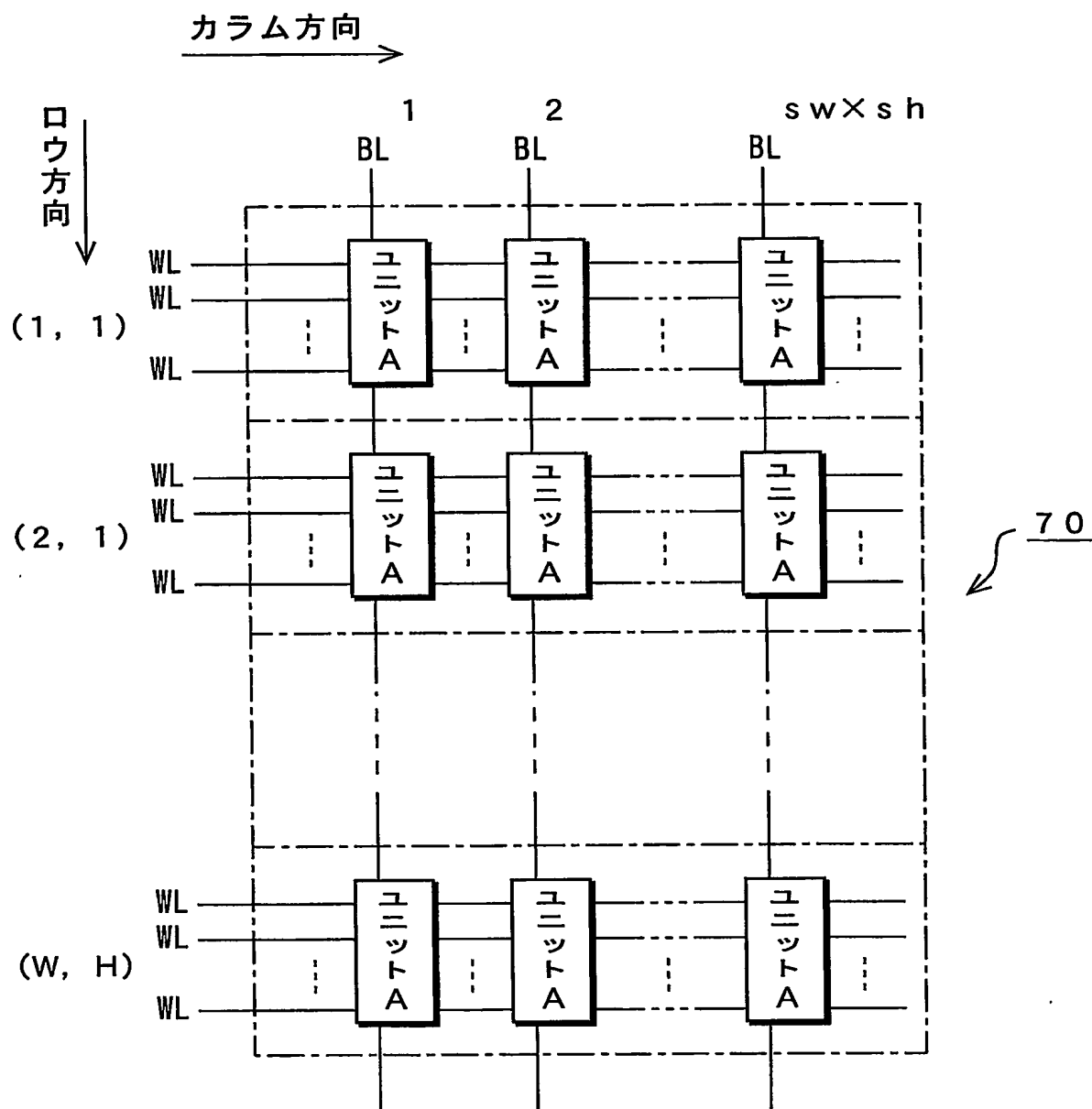
18 / 23

FIG. 20



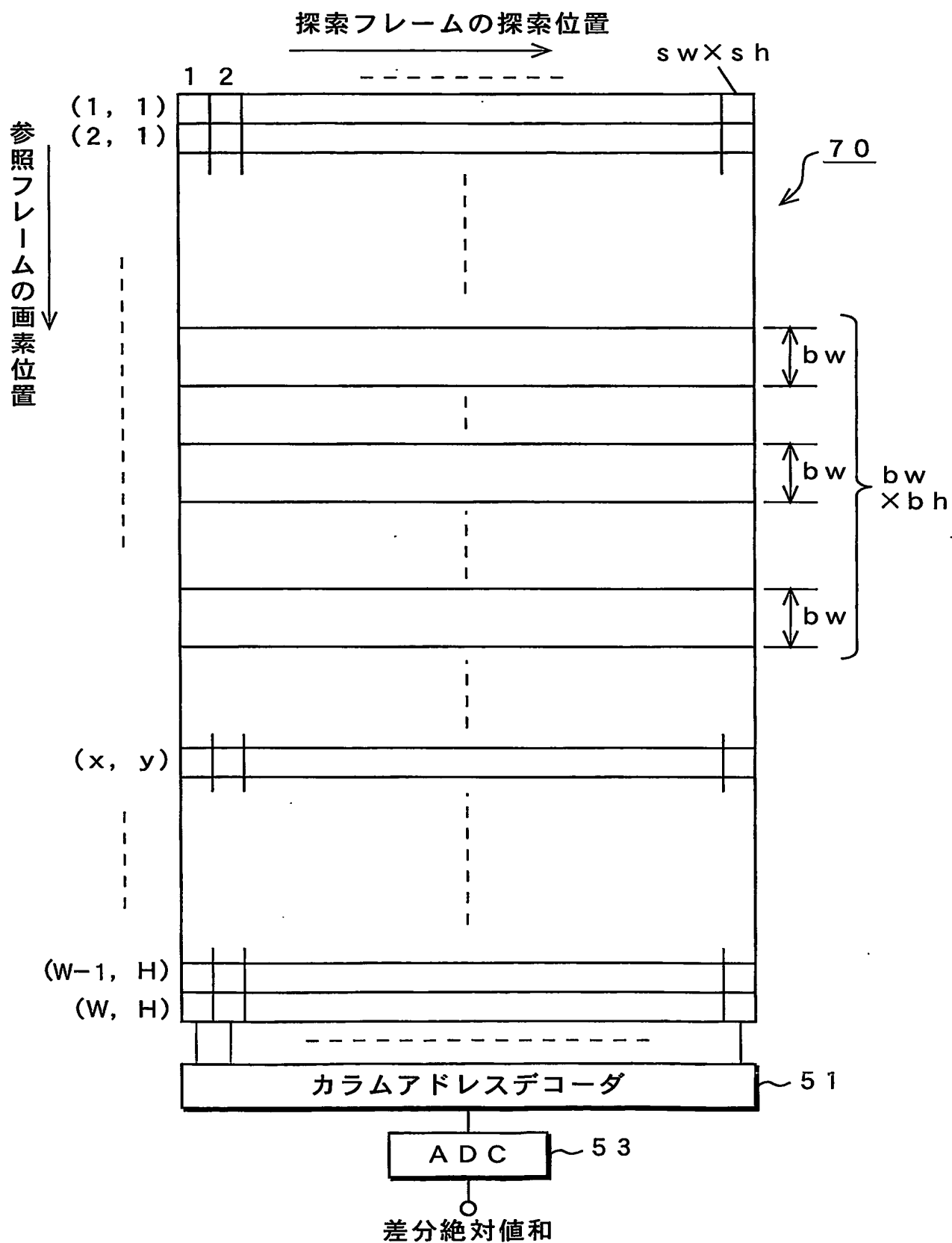
19 / 23

FIG. 21



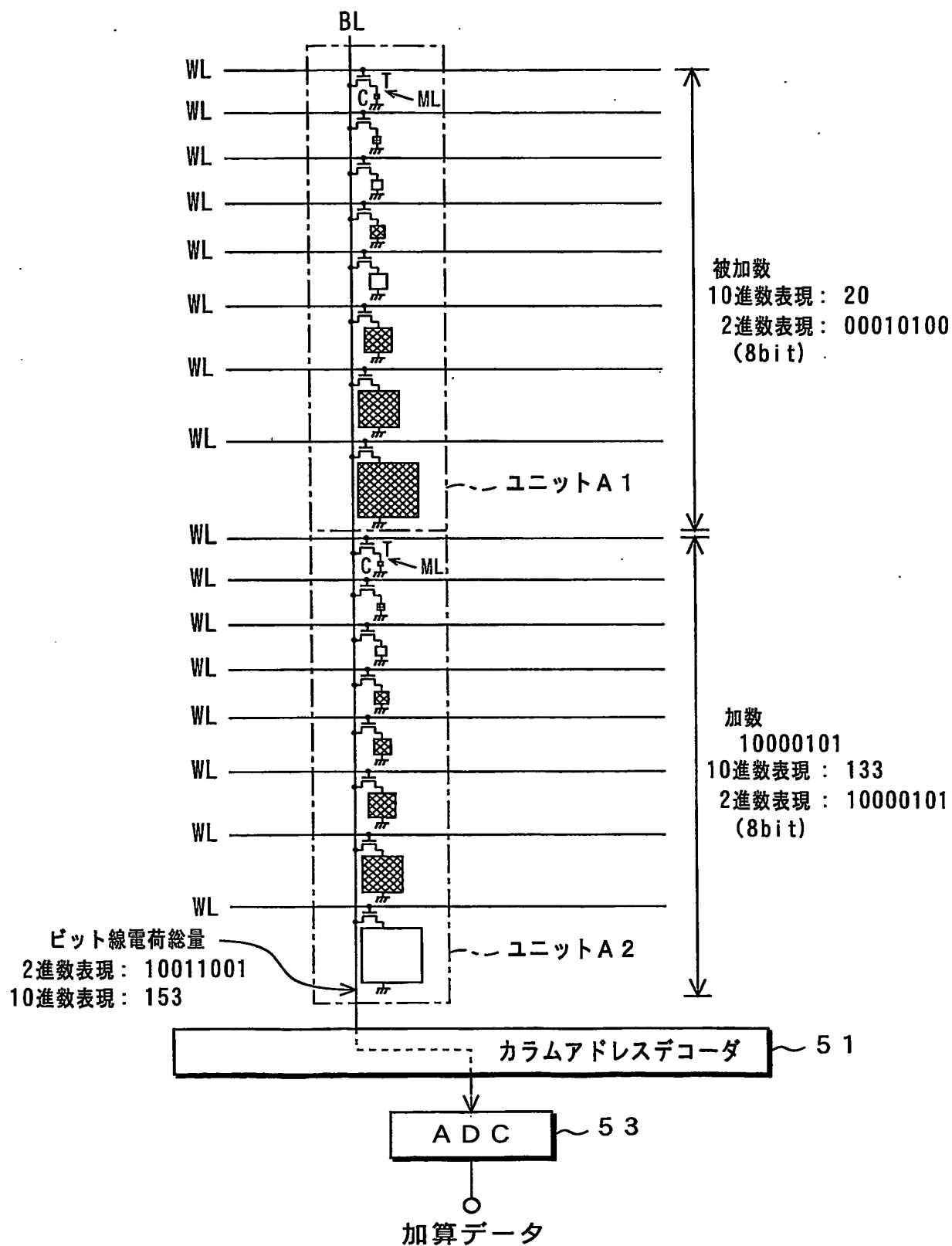
20 / 23

FIG. 22

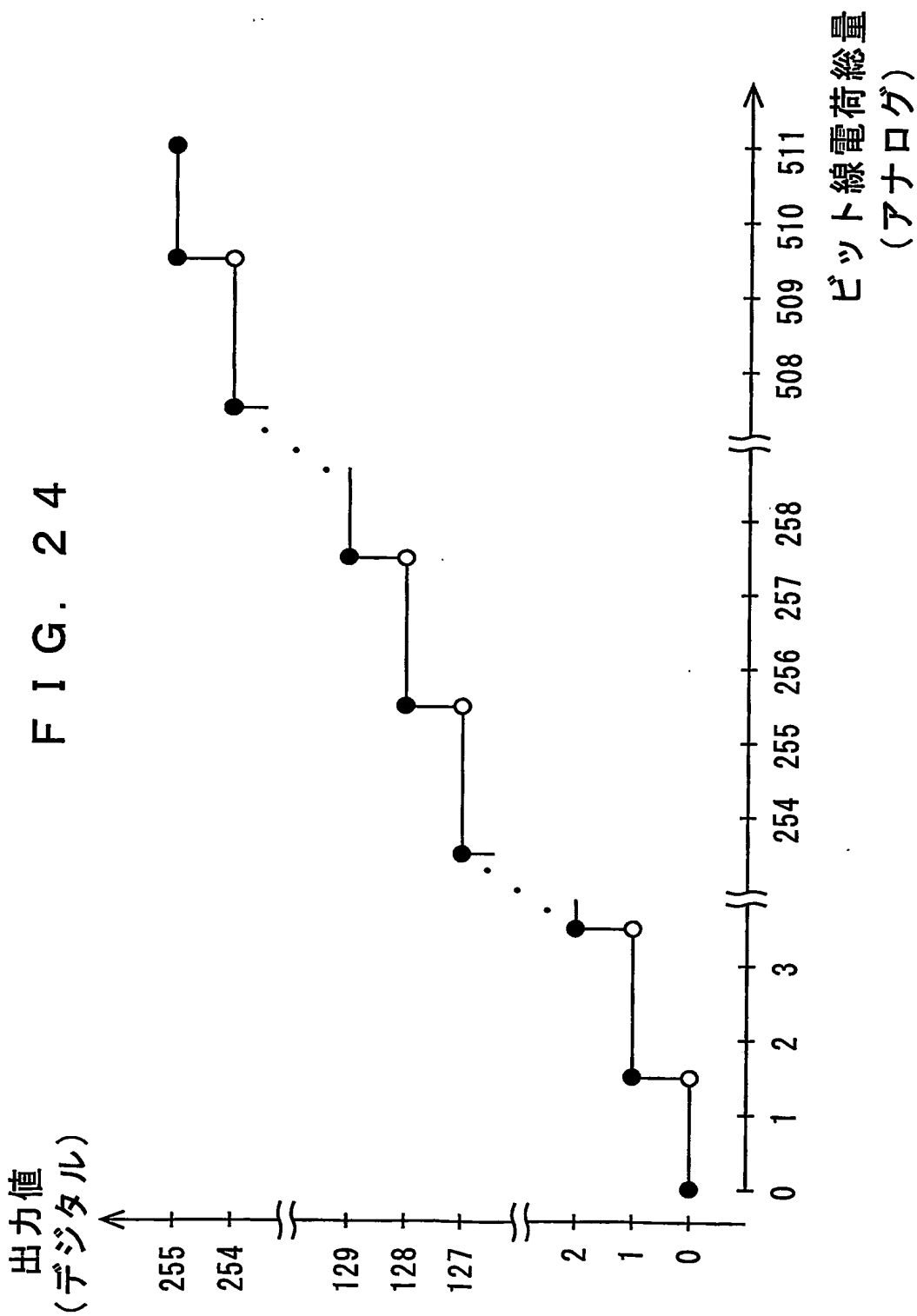


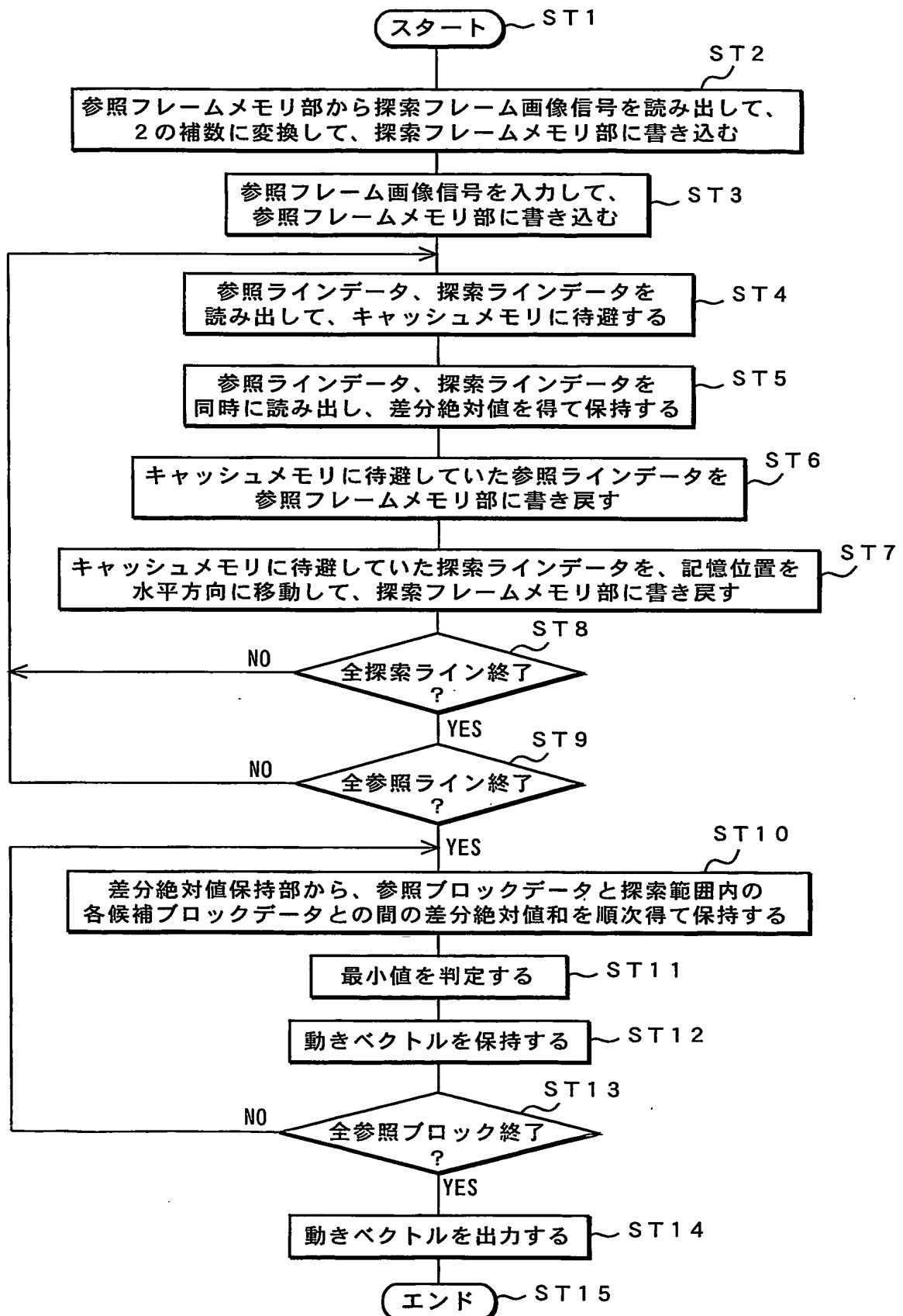
21 / 23

FIG. 23



2 2 / 2 3



2 3 / 2 3
FIG. 25

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13204

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C11/56, H04N7/32, G06T7/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/56, H04N7/32, G06T7/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-35878 A (Texas Instruments Japan Ltd.), 02 February, 2000 (02.02.00), Full text; all drawings (Family: none)	1, 4 2, 3, 5-8
Y	JP 8-204567 A (Canon Inc.), 09 August, 1996 (09.08.96), Full text; all drawings & EP 725357 A2 & CN 1134564 A & US 5926057 A & KR 191451 B1 & DE 69621662 E	2
Y	JP 58-155592 A (NEC Corp.), 16 September, 1983 (16.09.83), Full text; all drawings (Family: none)	3, 5-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
27 January, 2004 (27.01.04)

Date of mailing of the international search report
10 February, 2004 (10.02.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13204

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-31168 A (Hitachi, Ltd.), 02 February, 1996 (02.02.96), Full text; all drawings (Family: none)	1, 4
X	JP 7-203457 A (Oki Electric Industry Co., Ltd.), 04 August, 1995 (04.08.95), Full text; all drawings (Family: none)	16
P, X P, A	JP 2003-209846 A (Sony Corp.), 25 July, 2003 (25.07.03), Full text; all drawings (Family: none)	16 9-15, 17, 18
P, X P, A	JP 2003-289545 A (Sony Corp.), 10 October, 2003 (10.10.03), Full text; all drawings (Family: none)	16 9-15, 17, 18
P, X P, A	JP 2003-208303 A (Sony Corp.), 25 July, 2003 (25.07.03), Full text; all drawings (Family: none)	16 9-15, 17, 18
P, A	JP 2003-257183 A (Sony Corp.), 12 September, 2003 (12.09.03), Full text; all drawings & WO 03/60921 A1 & JP 2003-208789 A	16-18
P, A	JP 2003-109380 A (Sony Corp.), 11 April, 2003 (11.04.03), Full text; all drawings (Family: none)	16-18
X	JP 2000-333183 A (Matsushita Electric Industrial Co., Ltd.), 30 November, 2000 (30.11.00), Full text; all drawings (Family: none)	19

国際調査報告

国際出願番号 PCT/JPO3/13204

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ G11C11/56, H04N7/32, G06T7/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ G11C11/56, H04N7/32, G06T7/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2000-35878 A(日本テキサス・インスツルメンツ株式会社) 2000.02.02, 全文, 全図(ファミリーなし)	1, 4 2, 3, 5-8
Y	JP 8-204567 A(キヤノン株式会社) 1996.08.09, 全文, 全図 & EP 725357 A2 & CN 1134564 A & US 5926057 A & KR 191451 B1 & DE 69621662 E	2
Y	JP 58-155592 A(日本電気株式会社) 1983.09.16, 全文, 全図(ファミリーなし)	3, 5-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

27.01.2004

国際調査報告の発送日

10.2.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀田 和義

5N

8840

電話番号 03-3581-1101 内線 6840

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-31168 A(株式会社日立製作所) 1996. 02. 02, 全文, 全図(ファミリーなし)	1, 4
X	JP 7-203457 A(沖電気工業株式会社) 1995. 08. 04, 全文, 全図(ファミリーなし)	16
P, X P, A	JP 2003-209846 A(ソニー株式会社) 2003. 07. 25, 全文, 全図(ファミリーなし)	16 9-15, 17, 18
P, X P, A	JP 2003-289545 A(ソニー株式会社) 2003. 10. 10, 全文, 全図(ファミリーなし)	16 9-15, 17, 18
P, X P, A	JP 2003-208303 A(ソニー株式会社) 2003. 07. 25, 全文, 全図(ファミリーなし)	16 9-15, 17, 18
P, A	JP 2003-257183 A(ソニー株式会社) 2003. 09. 12, 全文, 全図 & WO 03/60921 A1 & JP 2003-208789 A	16-18
P, A	JP 2003-109380 A(ソニー株式会社) 2003. 04. 11, 全文, 全図(ファミリーなし)	16-18
X	JP 2000-333183 A(松下電器産業株式会社) 2000. 11. 30, 全文, 全図(ファミリーなし)	19

PATENT COOPERATION TREATY

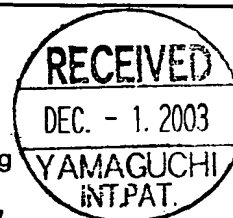
PCT

NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

YAMAGUCHI, Kunio
5th Floor, Hirayama Building
15-2, Uchikanda 1-chome
Chiyoda-ku, Tokyo 101-0047
Japan

Date of mailing (day/month/year) 18 November 2003 (18.11.03)	IMPORTANT NOTIFICATION International filing date (day/month/year) 15 October 2003 (15.10.03) Priority date (day/month/year) 15 October, 2002 (15.10.02)
Applicant's or agent's file reference S03P1210WO00	
International application No. PCT/JP03/13204	
International publication date (day/month/year) Not yet published	
Applicant SONY CORPORATION et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
15 Octo 2002 (15.10.02)	2002-300902	JP	07 Nove 2003 (07.11.03)
15 Octo 2002 (15.10.02)	2002-300903	JP	07 Nove 2003 (07.11.03)

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 338.90.90

Authorized officer

Elisabeth SASON (Fax 338 9090)

Telephone No. (41-22) 338 9915

PATENT COOPERATION TREATY

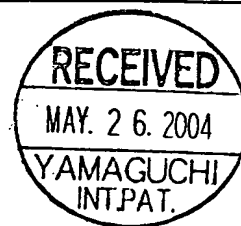
From the INTERNATIONAL BUREAU

PCT

NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

To:

YAMAGUCHI, Kunio
5th Floor, Hirayama Building
15-2, Uchikanda 1-chome
Chiyoda-ku, Tokyo 101-0047
JAPON

Date of mailing (day/month/year) 13 May 2004 (13.05.2004)		
Applicant's or agent's file reference S03P1210WO00		IMPORTANT NOTICE
International application No. PCT/JP2003/013204	International filing date (day/month/year) 15 October 2003 (15.10.2003)	
		Priority date (day/month/year) 15 October 2002 (15.10.2002)
Applicant SONY CORPORATION et al		

1. Notice is hereby given that the International Bureau has **communicated**, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this notice:

CN, EP, KR, US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

None

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this notice is a copy of the international application as published by the International Bureau on 13 May 2004 (13.05.2004) under No. WO 2004/040581

4. **TIME LIMITS for filing a demand for international preliminary examination and for entry into the national phase**

The applicable time limit for entering the national phase will, **subject to what is said in the following paragraph**, be **30 MONTHS** from the priority date, not only in respect of any elected Office if a demand for international preliminary examination is filed before the expiration of **19 months** from the priority date, but also in respect of any designated Office, in the absence of filing of such demand, where Article 22(1) as modified with effect from 1 April 2002 applies in respect of that designated Office. For further details, see *PCT Gazette* No. 44/2001 of 1 November 2001, pages 19926, 19932 and 19934, as well as the *PCT Newsletter*, October and November 2001 and February 2002 issues.

In practice, **time limits other than the 30-month time limit** will continue to apply, for various periods of time, in respect of certain designated or elected Offices. For **regular updates on the applicable time limits** (20, 21, 30 or 31 months, or other time limit), Office by Office, refer to the *PCT Gazette*, the *PCT Newsletter* and the *PCT Applicant's Guide*, Volume II, National Chapters, all available from WIPO's Internet site, at <http://www.wipo.int/pct/en/index.html>.

For filing a **demand for international preliminary examination**, see the *PCT Applicant's Guide*, Volume I/A, Chapter IX. Only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination (at present, all PCT Contracting States are bound by Chapter II).

It is the applicant's **sole responsibility** to monitor all these time limits.

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Authorized officer

Yoshiko Kuwahara

Facsimile No.+41 22 740 14 35

Facsimile No.+41 22 338 90 90